

42.000,-zł Kwiecień 1994

4

ELEKTRONIK ELEKTOR

MIESIĘCZNIK DLA ELEKTRONIKÓW

ELIMINATOR BLOKADY KOPII

Sampler do Amigi

Jednopłytkowy
komputer 80C535

Konwerter
950...1750MHz

Wzmacniacz
harmonicznych

Automatyczny
częstościomierz
cyfrowy

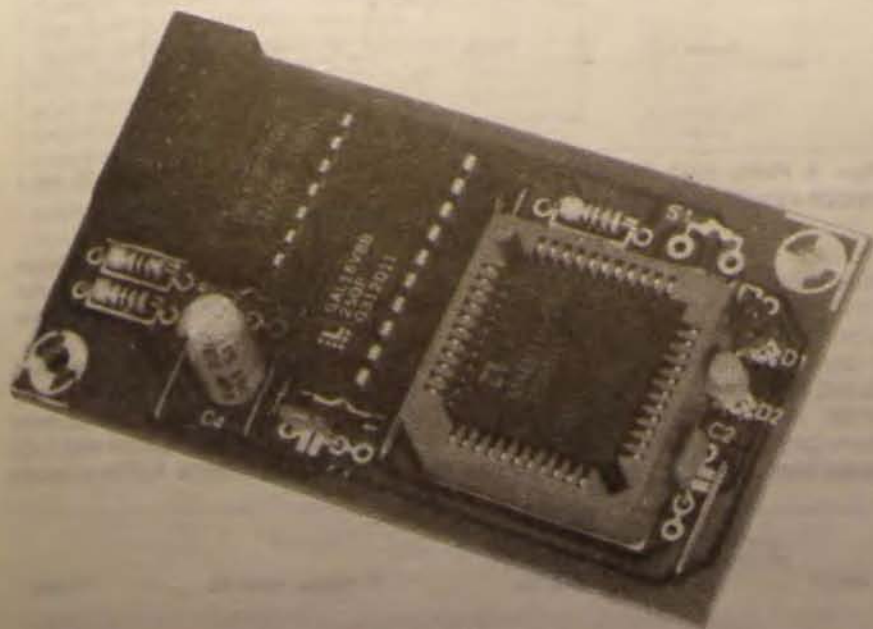


INDEKS 323314
ISSN 1230-9362

ELEKTRONIK
ELEKTOR

61
65
61
49.5

ELIMINATOR BLOKADY KOPII



Artykuł ten przedstawia prosty i tani układ modyfikujący bit blokady kopii w cyfrowym sygnale audio zapisanym w standardzie S/PDIF (Sony/Philips Digital Interface Format). Układ umożliwia wielokrotne kopiowanie cyfrowych sygnałów audio pochodzących z dowolnych źródeł, bez ich degradacji wynikającej z działania systemu SCMS (Serial Copy Management System).

H.J. Schaake

W ostatnich latach pojawiło się wiele rodzajów sprzętu umożliwiającego rejestrację cyfrowych sygnałów audio. Najpierw pojawił się DAT (Digital Audio Tape), następnie DCC (Digital Compact Cassette) i wreszcie Mini-Disc. By uchronić producentów nagrań przed piractwem, producenci cyfrowego sprzętu audio zastosowali system umożliwiający dokonanie tylko jednego cyfrowego sko-

piowania nagrania. System ten, noszący nazwę Serial Copy Management System, wykorzystuje zawarty w cyfrowym sygnale audio tzw. bit blokady kopii ("copy prohibit bit"). Rozwiązanie to jest bardzo korzystne z punktu widzenia producentów nagrań, ale staje się źródłem kłopotów, jeśli ktoś chce cyfrowo kopiować swoje własne utwory. Jest rzeczą oczywistą, że właściciel praw do nagra-

UWAGA

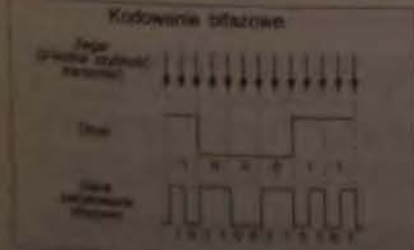
Opisany w tym artykule układ może być stosowany wyłącznie do nagrywania, kopiowania i przetwarzania utworów muzycznych będących własnością użytkownika układu. Wydawcy nie przyjmują żadnej odpowiedzialności za jego użycie mogące naruszyć prawa autorskie dotyczące płyt kompaktowych lub kaset z zapisem cyfrowym.

nia muzycznego może wykonać dowolną ilość kopii cyfrowych. W takich przypadkach można wbudować w cyfrowe urządzenie rejestrujące układ zmieniający wartość bitu blokady kopii. Ciekawostką stanowi fakt, że w większości przypadków profesjonalny sprzęt nie jest wyposażony w ten system i w związku z tym umożliwia wykonanie nieograniczonej liczby kopii cyfrowych.

Sygnal standardu S/PDIF

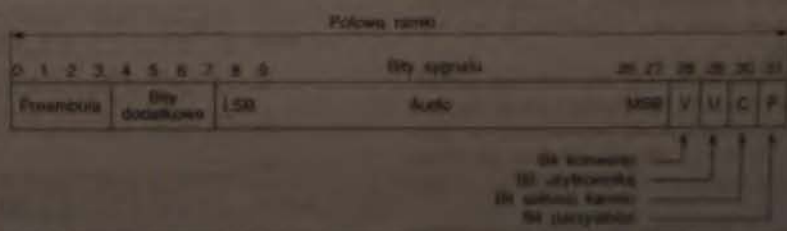
S/PDIF jest standardem szeregowego transmisji cyfrowego sygnału audio wraz ze związanymi z nim subkodami i kodami detekcji błędów. Połączenie może być fizycznie zrealizowane przy pomocy kabla koncentrycznego lub światłowodu. Ponieważ połączenie jest szeregowo z pojedynczą linią, sygnał musi zawierać impulsy zegarowe, by układ odbierający mógł określić położenie początku i końca każdego bitu. Zapewnia to bifazowe kodowanie wszystkich danych (rys. 1). "1" jest kodowana jako pełen okres przebiegu prostokątnego o częstotliwości równej szybkości transmisji (bitrate), natomiast "0" jest kodowane jako połowa okresu przebiegu prostokątnego o dwukrotnie niższej częstotliwości. Przy takiej metodzie, początkowi każdego kodowanego bitu odpowiada w sygnale zakodowanym zmiana stanu. Umożliwia to odzyskanie z sygnału, przy pomocy układu pętli synchronizacji fazowej (PLL), impulsów zegarowych o częstotliwości odpowiadającej szybkości transmisji. Oczywiście dla zapewnienia prawidłowego działania układów

Kodowanie bifazowe



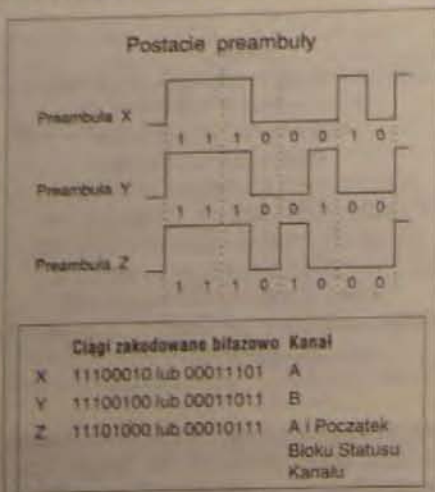
Rys. 1. Sygnały cyfrowe są kodowane bifazowo przed transmisją.

Formał połowy ramki



Rys. 2. Formał połowy ramki.

Eliminator blokady kopii



Rys. 3. Preambuła połowy ramki może mieć jedną z trzech postaci określających początek kanału lub bloku.

odbiorczych jest niezbędne, by mogły one odróżniać rodzaj informacji niesionej przez kolejne bity (np. rozróżnienie - bit subkodu czy bit audio) oraz kolejność bitów (np. w przypadku bitu audio - czy jest to MSB, LSB, czy inny bit). Aby to umożliwić, odpowiednie informacje umieszczane są w 4 pierwszych bitach każdej 32-bitowej ramki, której format przedstawia rys. 2.

Bity 0-3 tworzą preambułę, która przyjmuje jedną z trzech postaci, X, Y, Z, przedstawionych na rys. 3. Preambuła X rozpoczyna część A ramki, natomiast preambuła Y - część B ramki (rys. 4). Każdy blok zawiera 192 ramki; każda z nich jest złożona z części A i B. Początek bloku jest oznaczany przez rozpoczęcie części A ramki preambułą Z, a nie, jak zwykle, preambułą X.

20 bitów na pozycjach 8...27 to bity sygnału audio, przy czym pierwszym bitem jest bit najmniej znaczący. Bity 4...7 są przeznaczone na dodatkowe informacje (np. sygnał mowy) lub także na informację audio. Bit 28 wskazuje, czy próbka sygnału audio, znajdująca się w danej części ramki, kwalifikuje się do konwersji do postaci analogowej. Bit 31 jest wykorzystany do kontroli parzystości ("even parity" - parzysta liczba jedynek w ciągu bitów próbki wraz z bitem parzystości). Bity 29 i 30 stanowią elementy subkodu, przekazywanego w tempie 1bit/ramka w kanale A i B. 192 bity subkodu przekazywane w każdym bloku tworzą kompletny blok subkodu, powtarzany co 192 ramki.

Standard transmisji nie definiuje przeznaczenia bitu 29, dlatego może on być wykorzystany przez producenta w sposób dowolny. Bit 30 stanowi bit bloku statusu kanału. Warto zauważyć, że blo-

Rys. 7. Diagram czasowy wyjaśniający sposób działania układu z rys. 6.

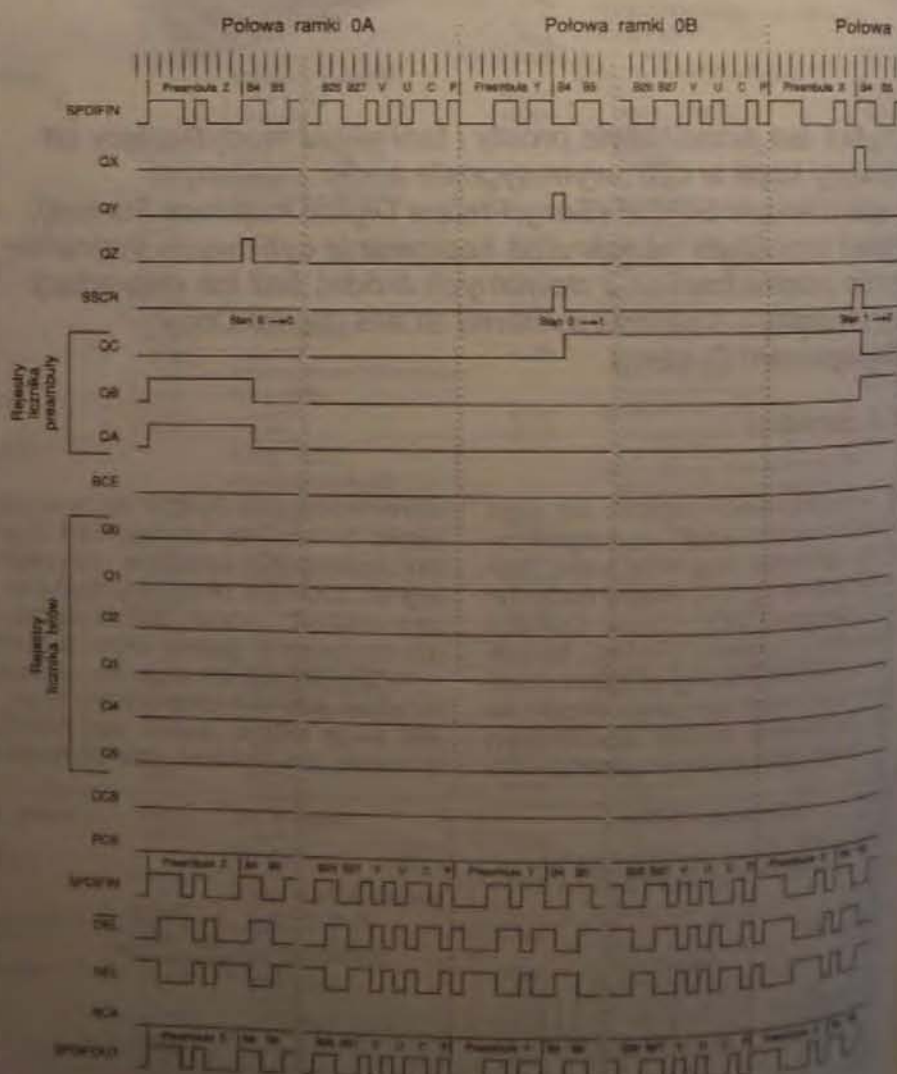


Rys. 4. Pełny blok jest złożony ze 192 ramek, z których każda składa się z dwóch części (połówek) A i B.

ki statusu obu kanałów są identyczne. Blok statusu kanału w standardzie S/PDIF jest zorganizowany w sposób przedstawiony na rys. 5. Najistotniejszy z punktu widzenia omawianego tu układu jest 2 bit bajtu 0, tzw. bit blokady kopii. Istotny jest także bit 7 bajtu 1, tzw. bit stanu generacji, ograniczający do jednej liczby kopii cyfrowych prywatnego nag-

rania analogowego na DAT. Jednakże po zdezaktywowaniu bitu blokady kopii wartość bitu stanu generacji nie odgrywa żadnej roli.

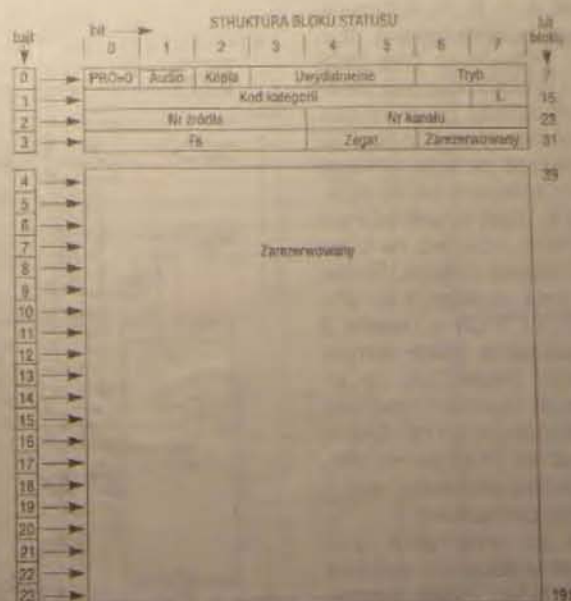
Przedstawiany układ analizuje wartość bitu blokady kopii. Jeśli wynosi ona 0, zmienia ją na 1, nie wykonuje natomiast żadnych operacji, jeśli wynosi ona 1. Po wykonaniu tej zmiany każde nagranie



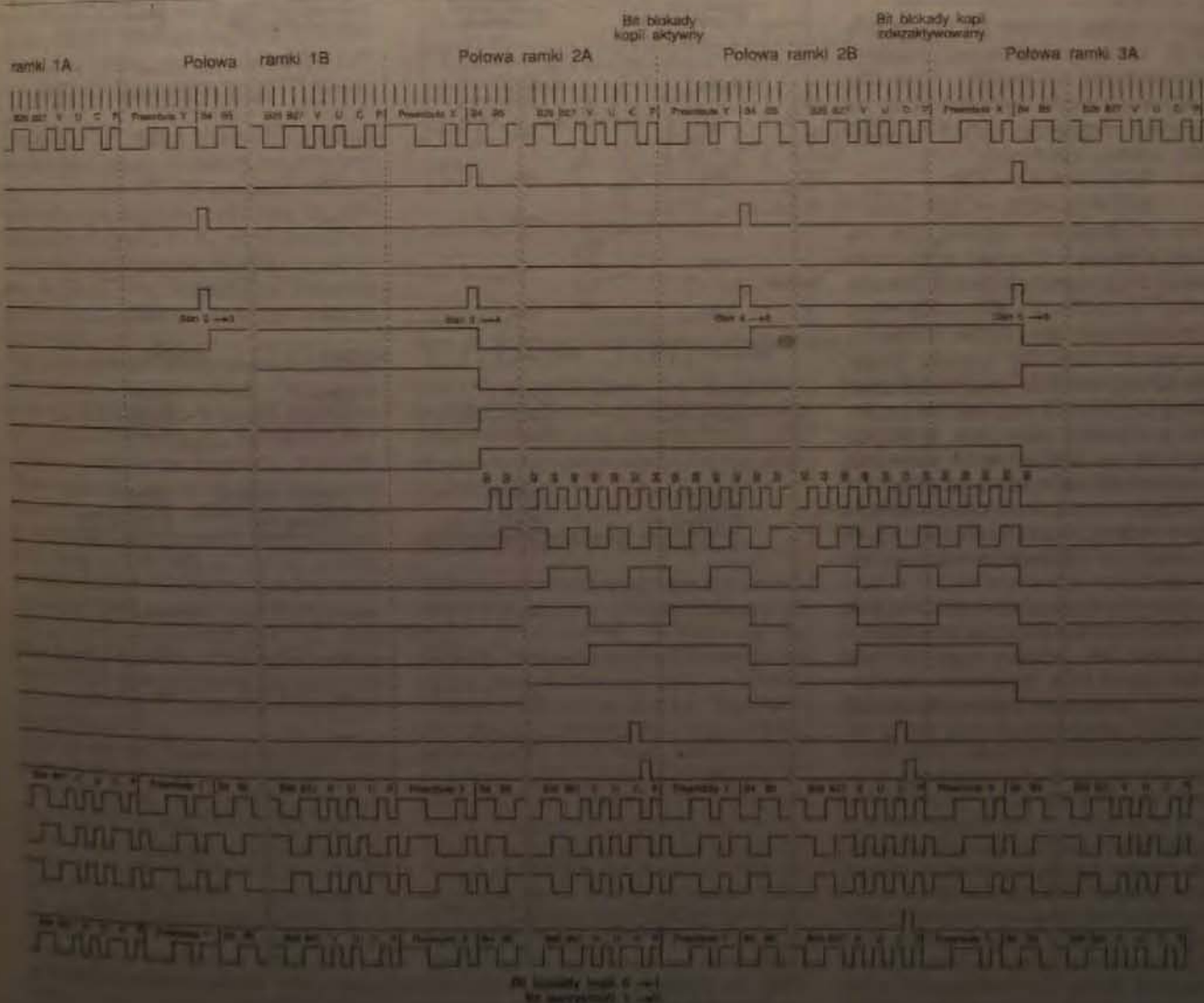
cyfrowe może być kopiowane bez ograniczeń i na dowolnym sprzęcie.

Schemat blokowy i przebiegi czasowe

Schemat blokowy układu przedstawia rys. 6, a przebiegi czasowe - rys. 7. Sygnał S/PDIF jest podany na wejście RXIN. Blok selektora wejścia, sterowany przez sygnał ON/OFF lub sygnał UNLK, decyduje o tym, czy sygnał ten trafia do dalszej części układu. Sygnał zegara, odtworzony z sygnału S/PDIF, jest podawany na wejście FCK. Częstotliwość tego sygnału jest dwukrotnie wyższa niż szybkość transmisji danych. Sygnał ten służy do wprowadzenia sygnału zakodowanego bifazowo do 8-bitowego rejestru przesuwanego. Te osiem bitów umożliwia detektorowi preambuły identyfikację preambuły Z. Natychmiast po wykryciu preambuły Z licznik preambuły jest zerowany, po czym zliczane są po dwie pierwsze preambuły X i Y, ponieważ bit blokady



Rys. 5. Przyporządkowanie bitów w bloku.



Eliminator blokady kopii

kopii ulokowany jest na pozycji 30 drugiej części ramki A i B. Po odliczeniu do początku drugiej części ramki A licznik preambuły, ustawiając linię BCE w stan wysoki, uruchamia licznik bitów. Licznik ten odlicza 52 bity, po czym następuje ustawienie bitu Copy Control Bit (CCB) w stan wysoki na czas jednego okresu zegara. Po kolejnym takcie zegara ustawiany jest w stan wysoki bit Parity Control Bit (PCB), również na czas trwania jednego okresu zegara. Ponieważ bit blokady kopii występuje w obu kanałach, bity CCB i PCB w części 2 ramki B są poddawane takim samym operacjom. Należy zauważyć, że bit CCB jest w stanie wysokim podczas drugiej części zakodowanego bitu blokady kopii, natomiast bit PCB jest w stanie wysokim podczas pierwszej części zakodowanego bitu parzystości.

Rejestr 1 działa jak przerzutnik typu D z odwróconym wejściem i opóźnia sygnał SPDIF o jeden okres zegara. Jeśli wyjście tego rejestru oznaczmy przez DEL, to w algebrze boole'owskiej:

$$DEL = SPDIFIN \cdot \neg$$

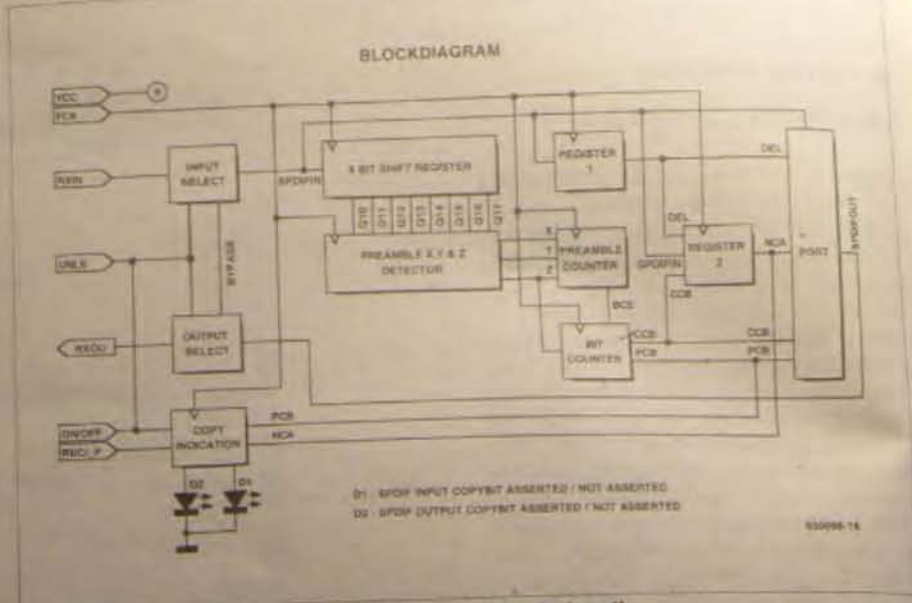
Rejestr 2 działa również jak przerzutnik typu D, ale z dodatkowymi układami kombinacyjnymi na wejściu. Stan bitu blokady kopii może być określony na podstawie sygnałów SPDIFN, CCB i DEL, według zależności:

$$NCA = SPDIFIN \cdot DEL \cdot CCB + SPDIFIN \cdot \neg DEL \cdot \neg CCB$$

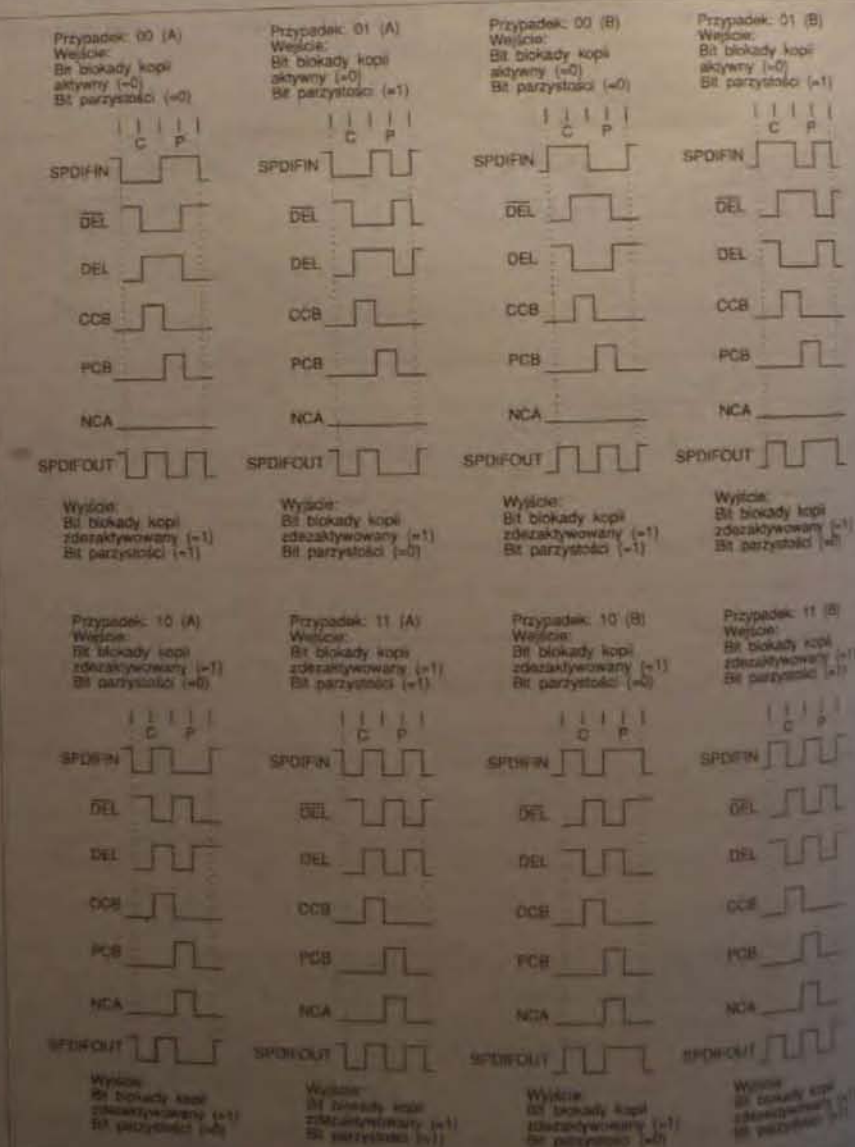
Bit blokady kopii jest aktywny, gdy ma wartość logiczną 0. Wartość ta, po zakodowaniu bifazowym, odpowiada połowie okresu przebiegu prostokątnego o częstotliwości dwukrotnie mniejszej od szybkości transmisji sygnału. Częstotliwość sygnału FCK jest równa podwojonej szybkości transmisji. Na przykład w przypadku 10(A) (rys. 8) bit blokady kopii nie jest aktywny, ponieważ jego pierwsza część jest 0, a druga 1 - jest to jeden okres przebiegu prostokątnego o częstotliwości równej szybkości transmisji, co odpowiada wartości logicznej 1.

Jak już wyżej powiedziano, bit CCB jest w stanie wysokim podczas trwania drugiej części bitu blokady kopii. W tym czasie sygnał DEL odpowiada zanegowanemu poziomowi pierwszej części, a SPDIF odpowiada drugiej części tego bitu. Porównaniu poddana jest pierwsza i druga część zakodowanego bifazowo bitu blokady kopii, a ponieważ stany te są różne, po następnym okresie zegara na wyjściu NCA rejestru 2 pojawi się stan wysoki, oznacza on, że bit blokady kopii nie jest aktywny.

Element oznaczony na schemacie blokowym jako "Port" stanowi port pozbawiony funkcji rejestru. Jest to ostatni i bardzo istotny element układu, który sprawdza, że bit blokady kopii (o ile był



Rys. 6. Schemat blokowy eliminatora blokady kopii.



Rys. 8. Zestaw możliwych kombinacji wartości bitów blokady kopii i parzystości, jakie mogą wystąpić na wyjściu SPDIFOUT.

aktywny) został zdezaktywowany, a następnie dokonuje uaktualnienia wartości bitu kontroli parzystości. Rysunek 8 zawiera wszystkie możliwe kombinacje stanów zakodowanego bitu blokady kopii i bitu kontroli parzystości SPDIFIN i w sygnale SPDIFOUT. Obowiązuje poniższa zależność algebra boole'owskiej:

$$\text{SPDIFOUT} = \text{SPDIFIN} \cdot \text{CCB} \cdot \text{PCB} + \text{DEL} \cdot \text{CCB} + \text{DEL} \cdot \text{PCB} \cdot \text{NCA} + \text{SPDIFIN} \cdot \text{PCB} \cdot \text{NCA}$$

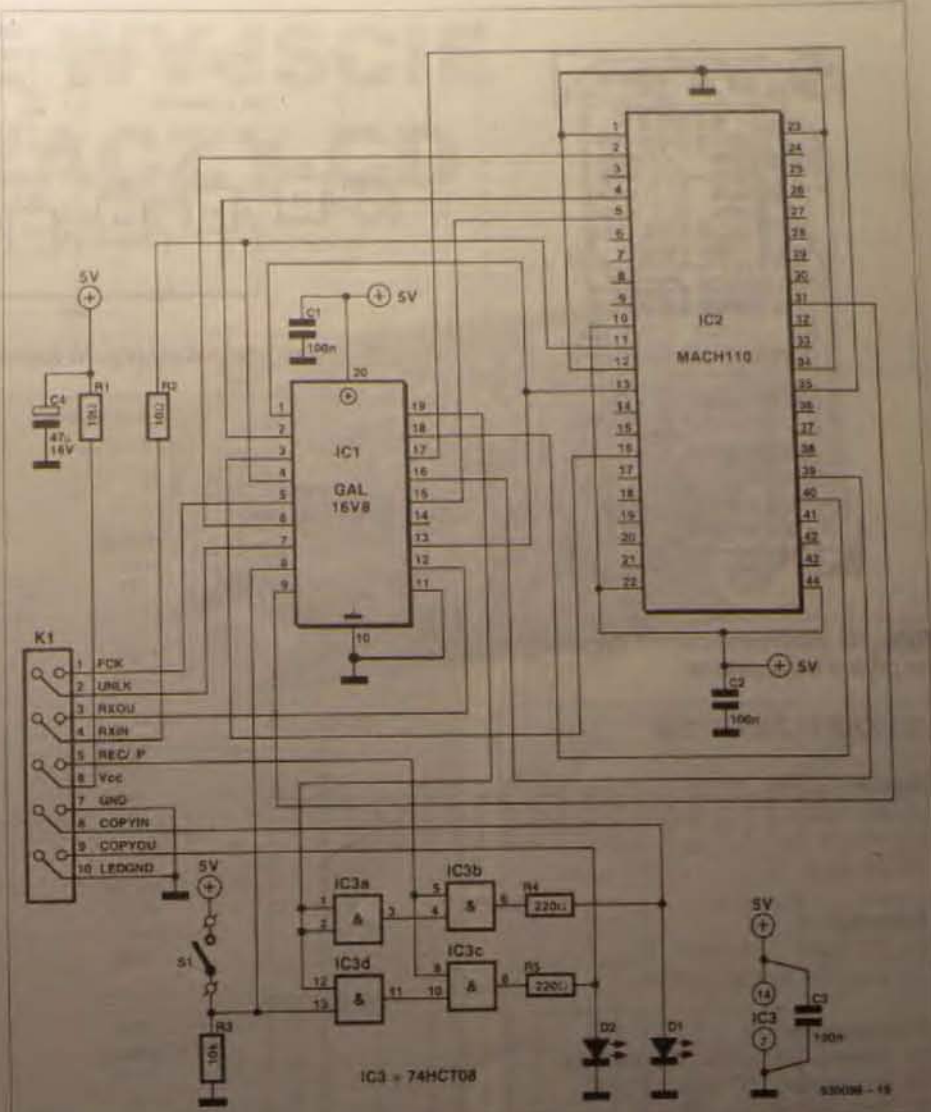
Projekt byłby bardziej elegancki, gdyby blok "Port" zawierał rejestr, ponieważ w zaprezentowanym rozwiązaniu mogą pojawić się impulsy w momentach wystąpienia zboczy zegara w środku bitów blokady kopii i bitu kontroli parzystości. W przetestowanym prototypie nie stwierdzono ich obecności; nawet gdyby wystąpiły, nie miałyby to szczególnego znaczenia, ponieważ układy odbiorcze S/PDIF reagują na uważany za bardziej stabilny stan sygnału między kolejnymi zboczami FCK.

Sygnał SPDIFOUT ze zdezaktywowanym bitem blokady kopii jest podawany przez układ selekcji wyjścia na linię RXOU, a następnie na wejście S/PDIF urządzenia nagrywającego typu DAT lub DCC.

Ponieważ w całym torze S/PDIF nie występuje rejestr, a układ wbudowany jest w urządzenie nagrywające, nie jest potrzebna dodatkowa pętla PLL do odtworzenia sygnału FCK, co pozwala na znaczne ograniczenie rozmiarów układu, a także - ze względu na niewielki pobór mocy układu - na wykorzystanie lokalnego zasilacza.

Dla zapewnienia pewnego startu układu PLL dodano wejście UNLK. Podawany jest na nie sygnał RXPLL, dostępny w każdym urządzeniu zawierającym układy odbiorcze sygnału S/PDIF. Wskazuje on, czy układ PLL generuje sygnał zegarowy zsynchronizowany z szybkością transmisji. Jeśli tak nie jest, linia UNLK jest w stanie niskim, a sygnał przestaje być podawany na eliminator. Stan wysoki linii UNLK oznacza prawidłowe działanie pętli PLL. Jeśli linia ON/OFF jest w stanie niskim, sygnał S/PDIF jest podawany na układ eliminacji blokady i rozpoczyna się przetwarzanie.

Blok Wskaźnika Kopiowania (Copy Indication) jest układem monitorowania pracy eliminatora, wystawiającym dwie diody LED. Dioda D1 świeci, jeśli bit blokady kopii w sygnale wejściowym jest aktywny; dioda D2 - gdy aktywny jest bit blokady w sygnale wyjściowym. W warunkach typowego wykorzystania eliminatora D1 jest włączona, a D2 - wyłączona. Wskazanie diod LED są poprawne tylko podczas nagrywania. Dlatego należy podać na wyjście REC/P



Rys. 9. Schemat elektryczny eliminatora.

dostępny w urządzeniu sygnał wskazujący na nagrywanie. Stan wysoki tej linii oznacza trwanie nagrywania. Diody LED są sterowane przez cztery bramki układu 74HCT08.

Układ i montaż

Schemat elektryczny eliminatora przedstawia rys. 9. Układ jest montowany na płytce drukowanej, pokazanej na wkładce. Rozmieszczenie elementów na płycie, którą można zamówić w Dziale Obsługi Czytelników wraz z zaprogramowanymi układami scalonymi, pokazuje rys. 10. IC1 jest układem GAL/PAL typu 16V8. Układ IC2 - MACH110 produkcji AMD - jest układem nowej generacji, który ze względu na sposób funkcjonowania można usytuować między PAL a FPGA/EPLD/GA. Odpowiada on w przybliżeniu trzem układom GAL 22V10 z wewnętrzną, oddzielną programowaną matrycą połączeń. Układ MACH110 w obudowie PLCC jest montowany w specjalnym gnieździe 16-cio kontaktowe złącze K1 umożliwia

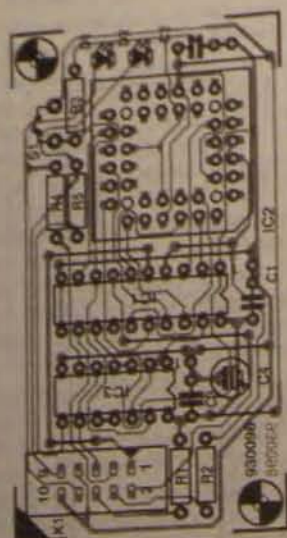
wygodne połączenie przy pomocy przewodu taśmowego. Wszystkie sygnały, niezbędne dla funkcjonowania układu, podawane są na to złącze.

Przy pomocy wyłącznika S1 można eliminator wyłączyć, łącząc wyprowadzenie 13 układu IC3d z +5V. Jeśli przełącznik ten jest otwarty, dzięki obecności rezystora R3 eliminator jest włączony. Jeśli nie przewiduje się wykorzystania przełącznika S1, można go po prostu nie montować.

Montaż w cyfrowym urządzeniu nagrywającym

Eliminator jest zaprojektowany z myślą o wbudowaniu go w urządzenie nagrywające, np. typu DAT. Niezbędne połączenie wykonuje się przy pomocy odpowiedniego odcinka kabla taśmowego. Sposób włączenia go w kilka popularnych urządzeń jest podany w tabeli 1. Na odpowiednie kontakty złącza K1 powinny być podane następujące sygnały: kontakt 1 - FCK - 128-krotność częstotliwości

Eliminator blokady kopii



Rys. 10. Rozmieszczenie elementów na płycie eliminatora.

WYKAZ ELEMENTÓW

Rezystory

R1, R2: 10kΩ
R3: 10kΩ
R4, R5: 220Ω

Kondensatory

C1...C3: 100nF
C4: 47μF/16V, montaż pionowy

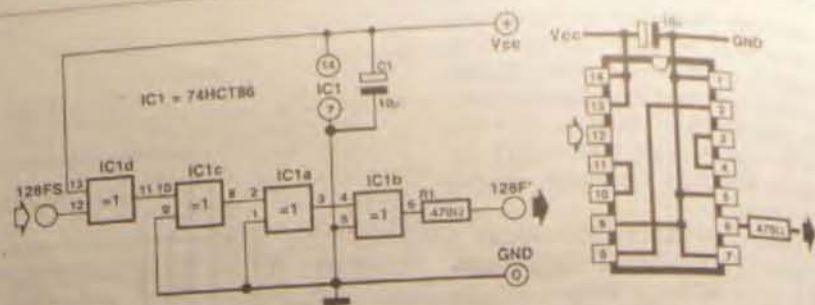
Półprzewodniki

D1: czerwona dioda LED, średnica 3mm
D2: zielona dioda LED, średnica 3mm
IC1: GAL16V8 (nr kodu 6321)
IC2: MACH110 (nr kodu 6321)
IC3: 74HCT08

Różne

K1: 10-kontaktowe złącze proste
S1: przełącznik
płyta drukowana (kod 930098)

wości próbkowania. Jeśli eliminator nie działa poprawnie, a pozostałe połączenia są poprawne, należy zanegować ten sygnał bądź wprowadzić jego opóźnienie włączając w jego tor rezystor 150Ω. kontakt 2 - UNLK - wskazanie zadziałania pętli PLL. Linia ta musi być w stanie niskim gdy pętla jest zamknięta. Jeśli stan jest wysoki, należy go zanegować bądź nie wykorzystywać; w tym ostatnim przypadku kontakt ten należy zewrzeć z masą. kontakt 3 - RXCU - należy przeciąć odpowiednią ścieżkę na płycie ze wyjściowym buforem S/PDIF, następnie połączyć wyjście bufora z RXIN, a drugą część przeciętej ścieżki z wyjściem RXCU. kontakt 4 - RXIN - patrz punkt poprzedni. kontakt 5 - REC/P - wskazanie nagrywania.



Rys. 11. Układ uzupełniający do zastosowania z DAT model XD-Z505 (JVC).

Nr kontaktu złącza K1	Sygnał w urządzeniu nagrywającym	Nr układu scalonego i wyprowadzenia w urz. nagryw.	Uwagi
Denon DTR-2000			
1	CKID12B	351/8	
2	DUNLOK	351/93	
3	RX	351/23	
4	---	305/6	przeciąć ścieżkę
5	---	nieznany	
6	+5V	604/3	
7	0 GND	604/2	
JVC XD-Z505			
1	128F	401/13	
2	UNLOCK	401/62	
3	RX0	401/35	współosiowy
3	RX1	401/34	światłowodowy
4	---	406/1	przeciąć ścieżkę
4	---	406/13	przeciąć ścieżkę
5	+5V (D)	emiter Q21	
6	+5V (D)	emiter Q21	zamontować radiator na układzie scalonym
7	G (D)	chassis	
JVC XD-Z1010			
1	128F	501/5	
2	UNLK	501/46	
3	RX	501/51	
4	---	322/11	przeciąć ścieżkę
5	---	nieznany	
6	5V (D)	05/3	
7	G (D)	03/2	
Sony DTC 55ES i DTC 57ES			
1	128F	307/58	
2	UNLK	307/51	
3	RX	307/52	
4	RX	301/8	przeciąć ścieżkę
5	Q2+	309/6	
6	+5V	322/3	zamontować radiator na układzie scalonym
7	GND	złuszczyć	

Tab. 1. Połączenia w różnych urządzeniach nagrywających.

nia jest w stanie wysokim, gdy urządzenie nagrywa. kontakt 6 - zasilanie +5V z urządzenia. kontakt 7 - GND - potencjał 0 cyfrowego urządzenia. kontakty 8, 9, 10 - do podłączenia doprowadzeń diod LED, jeśli te montowane są poza płytą eliminatora. Większość układów PLL w układach odbiorczych S/PDIF generuje sygnał o częstotliwości 2- lub 4-krotnie wyższej niż częstotliwość zegara, która jest potem dzielona, tak więc zawsze dostępny jest sygnał o częstotliwości równej 128·fs. W przypadku DAT model XD-Z505 (JVC) układ PLL generuje sygnał

o częstotliwości 384·fs, dzielony następnie przez 3. Jakkolwiek sygnał, będący wynikiem tego podziału, ma częstotliwość 128·fs, jego zbocze narastające nie jest usytuowane w środku okresu (współczynnik wypełnienia nie jest równy 50%). Problem ten można rozwiązać wprowadzając opóźnienie przy pomocy układu przedstawionego na rys. 11. Na zakończenie warto zauważyć, że wmontowanie eliminatora do wnętrza cyfrowego urządzenia audio może wiązać się z utratą gwarancji.

CYFROWE WYJŚCIE ODTWARZACZY CD

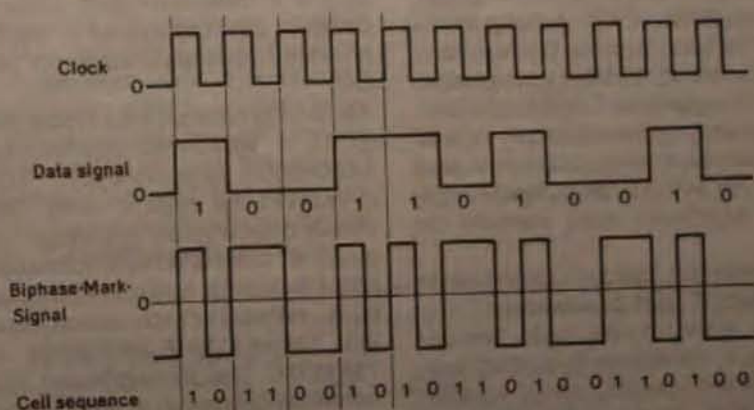
Nie wszystkie modele odtwarzaczy płyt kompaktowych są wyposażone w wyjście cyfrowe. Jest ono niezbędne, jeśli odtwarzacz CD ma współpracować z zewnętrznym przetwornikiem cyfrowo-analogowym lub cyfrowym urządzeniem nagrywającym. Cyfrowy sygnał audio jest jednak dostępny wewnątrz wielu modeli odtwarzaczy. Proponowane rozwiązanie pozwala w prosty sposób uzupełnić odtwarzacz o wyjście tego sygnału, wykonane w standardzie koncentrycznym.

T. Giesberts

Nie tylko starsze, ale także tańsze współczesne modele odtwarzaczy płyt kompaktowych nie mają wyjścia sygnału cyfrowego. Wiele współczesnych odtwarzaczy jest wyposażonych w wyjścia światłowodowe, jednak wyjścia koncentryczne są na ogół korzystniejsze. Jeśli twój odtwarzacz jest wyposażony w wyjście światłowodowe, opisany dalej układ umożliwi uzupełnienie go o wyjście koncentryczne. Jeśli nie ma żadnego wyjścia, możliwość dodania wyjścia cyfrowego zależna będzie od zastosowanych w odtwarzaczu układów scalonych.

Modulacja bifazowa

Od wczesnych lat 80-tych transmisja sygnałów cyfrowych w elektronicznym sprzęcie powszechnego użytku wykorzystuje modulację bifazową, a powszechnie w ten sposób format sygnału nosi nazwę S/PDIF (Sony/Philips Digital Format). Format ten stał się podstawą międzynarodowych standardów IEC CP-340 oraz IEC 958, dotyczących wszystkich cyfrowych sygnałów wyjściowych audio (CD, DAT, DCC czy DSH).



Rys. 1. Sygnały wyjściowe formatu S/PDIF, dane są zmodulowane bifazowo.

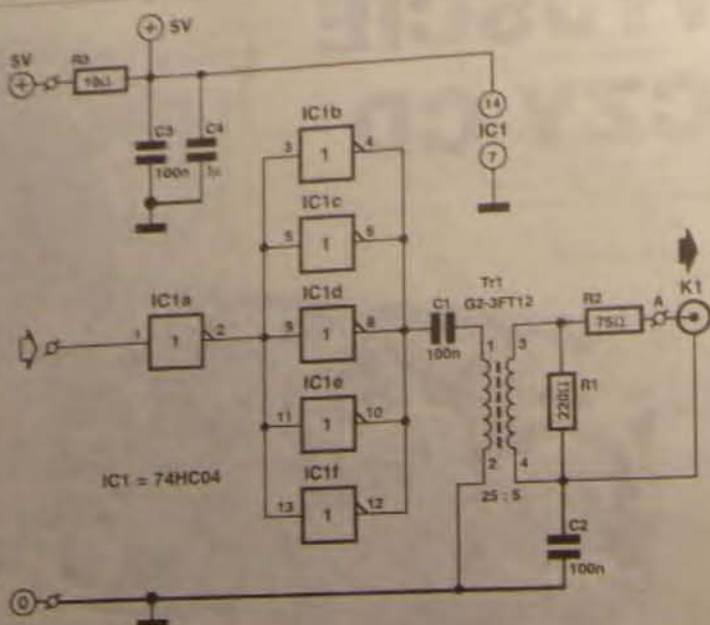
Zmodulowany przez zegar sygnał ma postać pokazaną na rys. 1. Logicznej jedynce odpowiada w nim zmiana stanu (dowolna) występująca w połowie przesyłanego bitu, natomiast brak takiej zmiany oznacza logiczne zero. W ten sposób uzyskuje się reprezentację zer i jedynek przez odstępy między kolejnymi zmianami stanu (a nie

przez poziomy). Zaletą tak zakodowanego sygnału jest to, że zawiera on nie tylko dane, ale także informację o częstotliwości zegara sterującego transmisją. Znajomość szybkości transmisji jest podstawową informacją dla prawidłowego przetwarzania odebranego sygnału.

Pasma sygnału zmienia się w zakre-

Układ	Producent	Obudowa	Wyg. cyfr./masa
YDC101(B)	Yamaha	80-flatpack	k.23/k.29
YM347C	Yamaha	DIP-16	k.16/k.1
YM7121B	Yamaha	80-flatpack	k.23/k.29
SAAT220	Philips	DIP-24	k.14/k.12
SAAT340	Philips	80-flatpack	k.32/k.33
SAAT341	Philips	80-flatpack	k.32/k.33
SAAT345	Philips	44-flatpack	k.24/k.15
GXD1165Q	Sony	80-flatpack	k.27/k.17
CXD2500(A)Q	Sony	80-flatpack	k.60/k.52

Tabela 1. Wyprowadzenie sygnału S/PDIF w różnych układach ADIC.



Rys. 2. Schemat elektryczny układu.

sie 0,7MHz...3MHz przy szybkościach transmisji 2048, 2822 i 3072 bitów (częstotliwość zegara pomnożona przez 2 próbki po 32 bity każda), odpowiednio dla sygnałów CD, DSR i DAT. Standardowy poziom wyjściowy wynosi 0,5V (wartość międzyszczytowa przy obciążonym wyjściu), impedancje wejściowa i wyjściowa mają wartości po 75Ω.

W przetworniku cyfrowo-analogowym sygnał S/PDIF jest przetwarzany najpierw do standardowej logiki zero-jedynkowej, a następnie do postaci analogowej przez specjalizowany konwerter, tzw. ADIC (audio digital integrated circuit), np. YM3623B (Yamaha), SAA7274 i TDA1315H (Philips) lub CX23053 (Sony). Rodzaje obudów i numery końcówek wyjść cyfrowych różnych układów ADIC przedstawia tabela 1. Możliwość dobudowania wyjścia współosiowego zależy od użytego konwertera. Część tych układów posiada standardowe wyjście sygnału S/PDIF i w tych przypadkach dodanie

bufora i transformatora izolacyjnego pozwala uzyskać sygnał o właściwym poziomie, odseparowany od układów CD.

Yamaha produkuje kilka typów układów ADIC, w większości opartych na procesorach sygnałowych YDC101 i YM7121 tej właśnie firmy. Obydwa układy mają wyjście cyfrowego sygnału audio w standardowym formacie. Procesor sygnałów audio YM7402, używany w odtwarzaczach wielodyskowych, ma także takie wyjście. Układ YM3437C jest konwerterem różnych formatów cyfrowych sygnałów audio na format standardowy (sygnał na wyprowadzeniu 16).

Układy ADIC produkowane przez firmę Philips, począwszy od reprezentanta drugiej generacji SAA7220 po najnowszy SAA6345 posiadają wyjście sygnału zakodowanego bifazowo (DOBM). Wyjątek stanowi układ SAA7310, do którego można podłączyć bufor (i transformator izolujący) przez dodatkowy układ PCF3523.



Rys. 3. Mozaika ścieżek i rozmieszczenie elementów na dwustronnej płycie drukowanej.

WYKAZ ELEMENTÓW

Wszystkie elementy (oprócz Tr1) są w obudowach SMD

Rezystory

R1: 220Ω
R2: 75Ω
R3: 10Ω

Kondensatory

C1...C3: 100nF, ceramiczne
C4: 1μF

Układy scalone

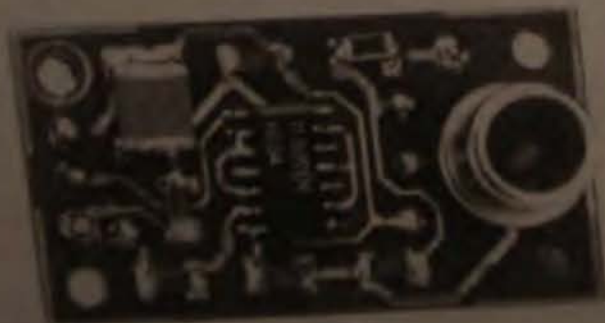
IC1: 74HC04

Różne

K1: gniazdo koncentryczne do druku
Tr1: transformator, 25/5 zwojów drutu emaliowanego 0,5mm, rdzeń G2-3FT12

Używany w starszym sprzęcie, wyposażonym w cyfrowe wyjście, procesor ADIC CXD1165Q (Sony) posiada wyjście cyfrowe wyjście. Sygnał wyjściowy jest synchronizowany przy pomocy przerzutnika bistabilnego i zegara o częstotliwości 4MHz. W nowszym sprzęcie, zbudowanym z wykorzystaniem procesora CXD2500(A)Q, sygnał wyjściowy procesora jest podawany na wyjście odtwarzacza bez tej synchronizacji. W współczesnych odtwarzaczach procesor realizuje funkcję wyciszania sygnału audio. W starszych typach do tego celu wykorzystywana jest zwykle dodatkowa bramka, w urządzeniach tych może być konieczne użycie sygnału wyciszania spoza procesora.

Bez względu na to, do jakiego typu odtwarzacza dodajemy wyjście cyfrowe,





Rys. 4. Transformator na toroidzie G2-3FT12.

niezbędne jest posiadanie instrukcji serwisowej sprzętu, która pozwoli dokładnie przeanalizować układy elektroniczne i znaleźć źródło sygnału synchronizującego. Jeżeli odtwarzacz wyposażony jest w filtr CXD1124S, sygnał ten jest dostępny na 23 nóżce tego układu.

Bufor wyjściowy

Wyjście jakiegokolwiek cyfrowego układu scalonego nie może być bezpośrednio obciążane ze względu na niskie standardowe impedancje (75Ω) wyjść i wejść cyfrowych urządzeń audio i związane z tym ryzyko przeciążenia. Ponadto, niezbędne jest zapewnienie separacji galwanicznej i odpowiedniego poziomu sygnału. Wymaga-

nia to pozwala spełnić układ przedstawiony na rys. 2, składający się z bufora i transformatora separującego. Układ ten może być dołączony bezpośrednio do wyjścia DOBM lub DIF każdego z w/w procesorów sygnałów audio. Buforowanie zapewnia 6-krotny inwerter 74HC04. Jeden z inwerterów odwraca sygnał, pięć pozostałych - połączonych równolegle - dokonuje drugiej inwersji i zapewnia wydajność prądową do 100mA.

Kondensator C1 i pierwotne uzwojenie transformatora tworzą filtr górnoprzepustowy, odcinający niskoczęstotliwościowe składowe sygnału danych. Zatem sygnał danych ($0,7...3,0\text{MHz}$) jest wolny od składowych małej częstotliwości. Transformator izolacyjny obniża poziom sygnału z około 5V (napięcie międzyszczytowe) na uzwojeniu pierwotnym do około 1V na uzwojeniu wtórnym. Rezystor R2 zapewnia wartość impedancji wyjściowej na poziomie 75Ω . Rezystor ten i $75\text{-}\Omega$ przewód koncentryczny tworzą dzielnik, dzięki któremu wartość międzyszczytowa napięcia na obciążeniu wynosi 0,5V. Rezystor R1 zapobiega powstaniu wysokoczęstotliwościowych oscylacji przy braku obciążenia. Kondensator C2 zwiera masę układu i ekran przewodu, dzięki czemu dla składowych zmiennych kabel nie jest "pływający", a prawidłowa izolacja pozostaje zapewniona. Rezystor R3 oraz kondensatory C3 i C4 odsprężają zasilanie.

Montaż

Układ montuje się na płytce drukowanej, której mozaikę ścieżek przedstawiono na rys. 3. Aby ograniczyć jej rozmiary i ułatwić ułożenie w odtwarzaczu, wszystkie elementy, z wyjątkiem transformatora, są elementami do montażu powierzchniowego (SMD). Transformator nawinięto na rdzeniu toroidalnym drutem emaliowanym o średnicy 0,5mm. Uzwojenie pierwotne ma 25 zwojów, wtórne - 5 zwojów. Oznaczenia wyprowadzeń odpowiadają oznaczeniom na płytce. Uwaga - aby transformator działał prawidłowo, należy użyć typu rdzenia podanego w wykazie elementów.

Montaż rozpoczynamy od gniazda koncentrycznego, następnie należy zamontować transformator. Lutowanie elementów do montażu powierzchniowego należy przeprowadzić przy użyciu lutownicy o cienkim grocie, nie przekraczając temperatury 275°C . Najodpowiedniejszym miejscem do ułożenia płytki jest tylna płyta odtwarzacza, w której należy wywiercić otwór na gniazdo. Płytke należy połączyć z odpowiednim wyjściem procesora sygnału przy pomocy krótkiego odcinka cienkiego kabla koncentrycznego. Zasilanie płytki łączymy przy pomocy dwóch przewodów z zasilaniem układu odtwarzacza.

KATALOGI

SGS-Thomson

CMOS 8 SERIES	290.000
COMPUTER PERIPHERAL ICs	290.000
LINE CARD	325.000
NON-VOLATILE MEMORIES	310.000
POWER BIPOLAR TRANSISTOR	280.000
IMAGE PROCESSING	280.000
POWER MOS DEVICES	160.000
SHORT FORM 90-91	250.000
SHORT FORM 92-93	270.000
STATIC RAM	250.000
TELEPHONE SET	290.000
VIDEO PRODUCT WA1	240.000
VIDEO PRODUCT WS2	100.000
ZEOLIN FAMILY	250.000
ZENER, SCHOTTKY & RECTIFIER DIODES	240.000
SMALL POWER	100.000
TRANSISTORS & TRIACS	120.000

ECG

ETC 7402-74002	580.000
----------------	---------

Samsung

CMOS CONSUMER 90-SAMSUNG DATABOOK	140.000
-----------------------------------	---------

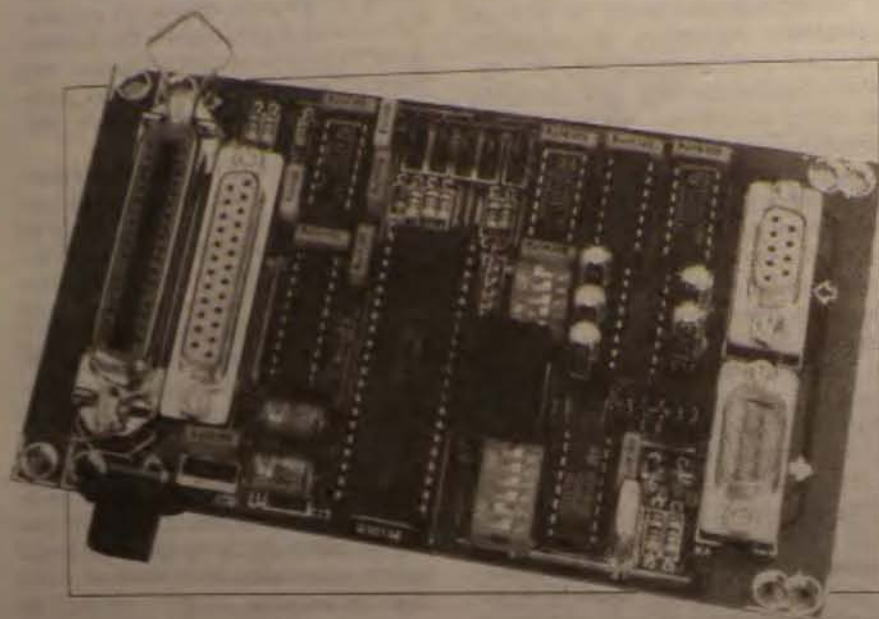
NEC

STANDARD PERIPHERAL DEVICES 1990	250.000
MICROPROCESSORS USERS MANUAL 91-92	180.000

Motorola

RF CMOS DATA VOL. 1-4	500.000
BIPOLAR TRANSISTOR DATA	480.000
SPRINGER DATA	360.000
CMOS 8-BIT LOGIC DEVICE DATA	350.000
CMOS 16-BIT LOGIC DATA	350.000
CMOS 32-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 64-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 128-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 256-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 512-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1024-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2048-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 4096-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 8192-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 16384-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 32768-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 65536-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 131072-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 262144-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 524288-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1048576-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2097152-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 4194304-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 8388608-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 16777216-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 33554432-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 67108864-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 134217728-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 268435456-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 536870912-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1073741824-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2147483648-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 4294967296-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 8589934592-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 17179869184-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 34359738368-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 68719476736-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 137438953472-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 274877906944-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 549755813888-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1099511627776-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2199023255552-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 4398046511104-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 8796093022208-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 17592186044416-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 35184372088832-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 70368744177664-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 140737488355328-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 281474976710656-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 562949953421312-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1125899906842624-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2251799813685248-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 4503599627370496-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 9007199254740992-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 18014398509481984-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 36028797018963968-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 72057594037927936-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 144115188075855872-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 288230376151711744-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 576460752303423488-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1152921504606846976-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2305843009213693952-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 4611686018427387904-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 9223372036854775808-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 18446744073709551616-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 36893488147419103232-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 73786976294838206464-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 147573952589676412928-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 295147905179352825856-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 590295810358705651712-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1180591620717411303424-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2361183241434822606848-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 4722366482869645213696-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 9444732965739290427392-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 18889465931478580854784-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 37778931862957161709568-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 75557863725914323419136-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 151115727451828646838272-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 302231454903657293676544-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 604462909807314587353088-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1208925819614629174706176-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2417851639229258349412352-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 4835703278458516698824704-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 9671406556917033397649408-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 19342813113834066795298816-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 38685626227668133590597632-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 77371252455336267181195264-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 154742504910672534362390528-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 309485009821345068724781056-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 618970019642690137449562112-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1237940039285380274899124224-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2475880078570760549798248448-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 4951760157141521099596496896-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 9903520314283042199192993792-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 19807040628566084398385987584-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 39614081257132168796771975168-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 79228162514264337593543950336-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 158456325028528675187087900672-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 316912650057057350374175801344-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 633825300114114700748351602688-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1267650600228229401496703205376-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2535301200456458802993406410752-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 5070602400912917605986812821504-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 10141204801825835211973625643008-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 20282409603651670423947251286016-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 40564819207303340847894502572032-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 81129638414606681695789005144064-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 162259276829213363391578010288128-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 324518553658426726783156020576256-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 649037107316853453566312041152512-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1298074214633706907132624082305024-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2596148429267413814265248164610048-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 5192296858534827628530496329220096-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 10384593717069655257060992658440192-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 20769187434139310514121985316880384-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 41538374868278621028243970633760768-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 83076749736557242056487941267521536-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 166153499473114484112975882535043072-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 332306998946228968225951765070086144-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 664613997892457936451903530140172288-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1329227995784915872903807060280344576-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2658455991569831745807614120560689152-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 5316911983139663491615228241121378304-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 10633823966279326983230456482242756608-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 21267647932558653966460912964485513216-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 42535295865117307932921825928971026432-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 85070591730234615865843651857942052864-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 170141183460469231731687303715884105728-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 340282366920938463463374607431768211456-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 680564733841876926926749214863536422912-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1361129467683753853853498429727072845824-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 272225893536750770770699685945415369152-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 544451787073501541541399371890830738304-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1088903574147003083082798743781661476608-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2177807148294006166165597487563322953216-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 4355614296588012332331194975126645906432-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 8711228593176024664662389950253291812864-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 17422457186352049329324779900506583625728-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 34844914372704098658649559801013167251456-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 69689828745408197317299119602026334502912-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 139379657490816394634598239204052669005824-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 278759314981632789269196478408105338011648-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 557518629963265578538392956816210676023296-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1115037259926531157076785913632421352046592-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 2230074519853062314153571827264842704093184-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 4460149039706124628307143654529685408186368-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 892029807941224925661428730905937081372704-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1784059615882449851322857461811874162745408-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 3568119231764899702645714923623748325490816-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 7136238463529799405291429847247496650981632-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 14272476766268445882405732687014782096599431512064-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 28544953854119197621165719388989986603926528-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 57089907708238395242331438777979973207853056-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 114179815416476790484662877555959946415706112-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 228359630832953580969325755111919892831412224-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 456719261665907161938651510223839785662824448-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 913438523331814323877303020447679571325648896-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1826877046663628647754606040895359142651297792-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 3653754093327257295509212081790718285302595584-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 7307508186654514591018424163581436570605191168-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 14615016373309029182036848327162873141210382336-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 29230032746618058364073696654325746282420764672-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 58460065493236116728147393308651492564841529344-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 116920130986472233456294786617302985129683058688-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 233840261972944466912589573234605970259366117376-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 467680523945888933825179146469211940518732234752-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 935361047891777867650358292938423881037464469504-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 1870722095783555735300716585876847762074928939008-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 3741444191567111470601433171753695524149857878016-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 7482888383134222941202866343507391048299715756032-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 14965776766268445882405732687014782096599431512064-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 29931553532536891764811465374029564193198863024128-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 59863107065073783529622930748059128386397726048256-BIT LOGIC FUNCTIONS DATA	350.000
CMOS 119726214130147567059245861496118256772795452096512-BIT LOGIC FUNCTIONS DATA	350.000
CM	

RS232/CENTRONICS DWUKIERUNKOWY KONWERTER



Połączenie komputera PC z urządzeniami zewnętrznymi realizowane jest zazwyczaj za pośrednictwem interfejsu równoległego (Centronics) lub szeregowego (RS232). W niektórych przypadkach konieczna okazuje się współpraca urządzenia zewnętrznego, wyposażonego w interfejs szeregowy, z równoległym portem komputera, lub odwrotnie - urządzenia z równoległym interfejsem i szeregowego portu komputera. Przedstawiony niżej konwerter rozwiązuje powstające w takich sytuacjach problemy.

A. Rietjens

Główne dane

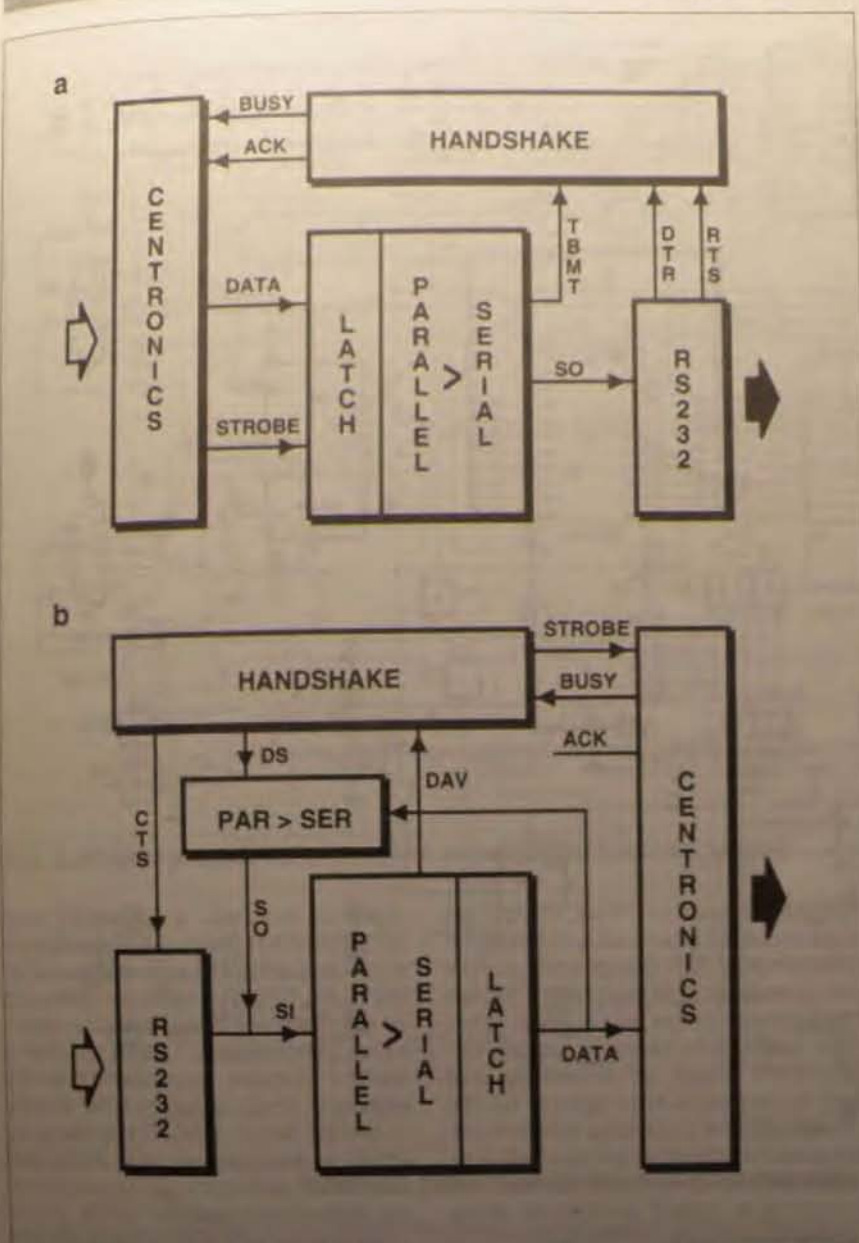
- konwersja ze standardu równoległego na szeregowy i odwrotnie (brak możliwości jednoczesnej pracy dwukierunkowej);
- sygnały BUSY i ACKNOWLEDGE dostępne na wejściu równoległym;
- wyjście szeregowe z możliwością dołączania do połączeń wewnętrznych kabla (przekazywanie bity nie - selekcja DTE/DCE);
- możliwość użycia sygnału RTS lub DTR na wyjściu szeregowym;
- szybkość transmisji - 9600, 4800, 2400, 1200, 600 i 300 bps;
- możliwość pełnej konfiguracji formatu danych szeregowych (liczba bitów danych, bit kontrolny przysyłany, bit nakładki parzystości, częstota bitów stopu);
- konwersja poziomów sygnałów ze standardu TTL do standardu RS232 i odwrotnie.

Dzisiejsze komputery PC dysponują szerokim wachlarzem możliwości dołączania urządzeń zewnętrznych; zapotrzebowanie na konwertery równoległo-szeregowy jest niewątpliwie znacznie mniejsze niż w przeszłości. Zdarzają się jednak przypadki, w których taki konwerter może być przydatny. Przykładem niech będzie sytuacja, kiedy oprogramowanie do wyprowadzenia wydruku wykorzystuje pierwszy port równoległy LPT1, a zmiana przyporządkowania wyjścia na drukarkę z równoległego na szeregowy przy pomocy polecenia MODE nie jest możliwa. Dodatkowo niech drukarka znajduje się w sąsiednim pokoju, więc ze względu na odległość i niezawodność należałoby zastosować zamiast transmisji równoległej - szeregową. Inny przykład: drukarkę z wejściem Centronics chcemy połączyć z komputerem przy pomocy kabla szeregowego.

Proponowany konwerter może pracować dwukierunkowo, dokonując konwersji ze standardu szeregowego na równoległy lub odwrotnie. Brak możliwości jednoczesnej pracy w obu kierunkach nie stanowi istotnego ograniczenia.

Schematy blokowe

Ponieważ układ działa dwukierunkowo, a kierunek konwersji jest ustalany przy pomocy zwór, przydatne jest przedstawienie schematów blokowych dla obu kierunków konwersji (rys. 1). Przed omówieniem układu warto jednak przypomnieć protokoły transmisji w standardach Centronics i RS232 w komputerach PC. Standard Centronics wykorzystuje równoległe przesyłanie ośmiu bitów danych. Urządzenie wysyłające sygnalizuje obecność danych na szynie, podając stan niski na linię STROBE. Urządzenie odbierające ma dwie możliwości przekazywania informacji o swym stanie: sygnał BUSY oznacza niemożność odbierania w danej chwili nowych danych, sygnał ACKNOWLEDGE (aktywny stan niski), pojawiający się zazwyczaj pod koniec sygnału BUSY, oznacza potwierdzenie odbioru bajtu danych. Ponieważ funkcja obu tych sygnałów jest bardzo zbli-



Rys. 1. Schematy blokowe układu realizującego obie funkcje: a) konwersja standardu równoległego na szeregowy; b) konwersja standardu szeregowego na równoległy.

żona, wiele drukarek używa tylko sygnału BUSY mimo istniejącego połączenia ACK.

Interfejs RS232 zawiera dwie linie danych oraz kilka linii sygnałów sterujących, umożliwiających kilka różnych wariantów organizacji transmisji (protokołów). Jednym z nich jest protokół XON/OFF, w którym odbiórnik wysyła do nadajnika pewien znak, sygnalizujący potrzebę zatrzymania bądź kontynuacji transmisji. Większość drukarek wykorzystuje jednak handshaking sprzętowy. Linia DTR jest uaktywniona, gdy odbiórnik jest przygotowany do odbioru danych. Ponieważ transmisja jest zatrzymywana natychmiast po zaniku sygnału aktywnego linii DTR, sposób wyko-

rzystania tego sygnału jest zbliżony do sposobu wykorzystania BUSY w standardzie Centronics. Inny wariant polega na użyciu linii RTS, której stan aktywny wskazuje na gotowość odbiórnika do przyjęcia danych.

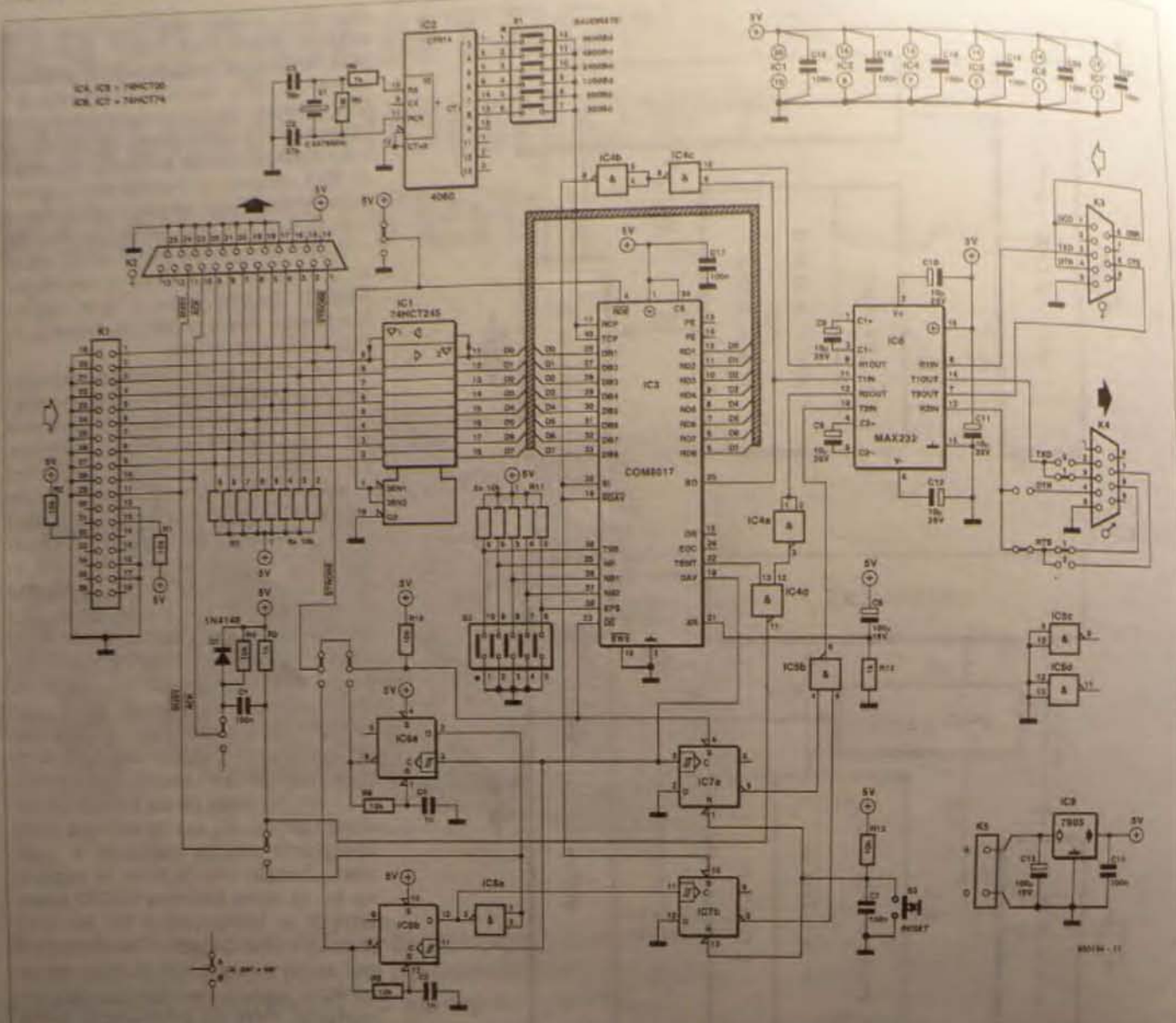
Dysponując elementarną wiedzą na temat najważniejszych sygnałów, można przystąpić do analizy działania układu konwertera. Jeśli realizowana jest konwersja równoległo-szeregowo, dane są dostarczane do układu przez port równoległy (rys. 1a) i zapamiętywane w buforze typu "zatrask" (ang. latch), zaś operacja ta jest sterowana sygnałem STROBE pochodzącym z urządzenia wysyłającego dane. Specjalny układ scalony, zawierający konwerter

danych z postaci równoległej do szeregowo-parallelowej oraz układ "latch", dokonuje przesunięcia w odpowiednim porządku ośmiu bitów danych. Sekwencja bitów danych jest poprzedzona bitem startu, za nią zaś pojawia się bit stopu oraz ewentualnie bit kontroli parzystości. Blok oznaczony "handshake" organizuje transmisję między obydwoimi standardami interfejsu. Sygnały BUSY i ACK są generowane w oparciu o sygnał DTR lub RTS z interfejsu RS232. Decyzję, który z tych sygnałów będzie wykorzystany, podejmuje użytkownik konwertera.

Schemat blokowy konwertera realizującego konwersję szeregowo-równoległą (rys. 1b) jest lustrzanym odbiciem poprzedniego układu. Dane szeregowo są poddawane konwersji do postaci równoległej, a tryb ich przyjmowania przez układ jest sterowany sygnałem CTS, zezwalającym urządzeniu nadającemu na wysłanie informacji. Po odebraniu pełnego słowa, zawarte w nim siedem lub osiem bitów jest przetwarzane do postaci równoległej i umieszczane w rejestrze "latch". Impuls strobujący sygnalizuje urządzeniu podłączonemu do wyjścia Centronics pojawienie się danych do odczytu. W tym samym czasie układy kontroli (blok "handshake") testują stan linii BUSY - czy pozwala on na transmisję nowych danych. Na rys. 1b widnieje także sprzężenie między wejściem a wyjściem. Zostało ono dodane ze względu na to, że wiele układów RS232 stosowanych w komputerach PC ma dwubajtowy bufor danych. Transmisja nie jest zatrzymywana natychmiast po zaistnieniu warunku wymuszającego zatrzymanie, czyli po przekazaniu pierwszego bajtu, ale po opróżnieniu bufora (wysłaniu drugiego bajtu). W konsekwencji konwerter otrzymuje drugi bajt, który musi zapamiętać, ponieważ urządzenie podłączone do portu Centronics nie jest gotowe do przyjęcia tego bajtu. Sprężenie zwrotne sprawia, że drugi bajt "krąży" w konwerterze aż do momentu, w którym urządzenie z wejściem Centronics stanie się dostępne.

Opis układu

Sercem układu przedstawionego na rys. 2 jest układ scalony COM8017 U-ART (uniwersalny asynchroniczny nadajnik/odbiornik), następcą przestarzałego AY-3-105D. COM8017 dokonuje konwersji ze standardu równoległego na szeregowy i vice versa. Operacje te są sterowane sygnałami zegarowymi, generowanymi przez układ CD4060 (IC2). Układ ten zawiera dzielnik częstotliwości i generator z zewnętrznym rezonatorem kwarcowym o częstotliwości 2,4576 MHz. Działania układu



Rys. 2. Schemat elektryczny konwertera. Najważniejszy element stanowi układ COM8017.

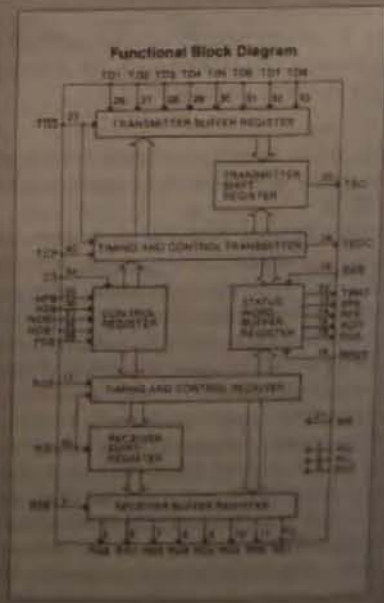
CD4060 dostarczają układowi UART sygnałów TCP i RCP. Częstotliwość tych sygnałów winna być równa 16-krotnej wielokrotności szybkości transmisji, zaś sygnał o właściwej częstotliwości podawany jest z wyjść Q3...Q8 generatora na wejścia zegarowe UART przez odpowiednio ustawiony mikropresetator S1.

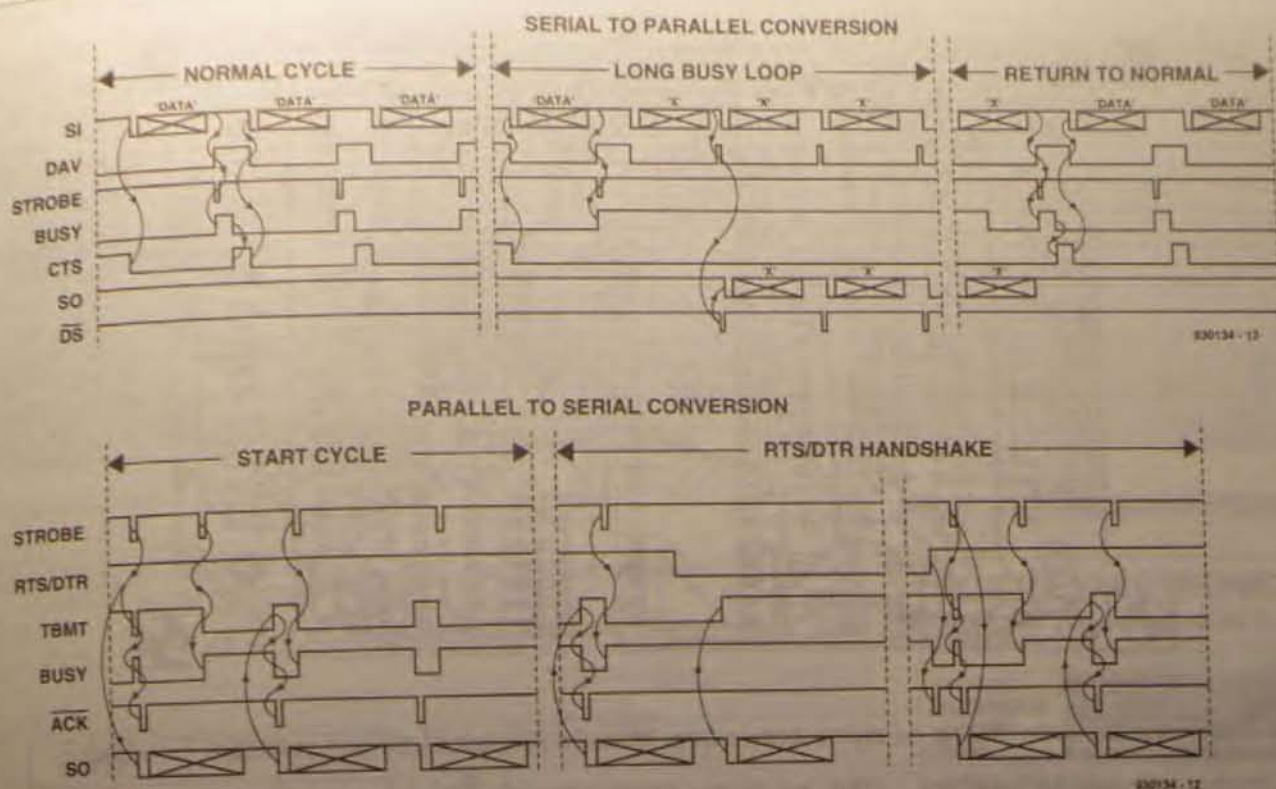
Mikroprzelicznik S2 umożliwia wybór formatu słów szeregowych. Dobierane parametry to liczba bitów danych, liczba bitów stopu, obecność lub brak bitu parzystości oraz rodzaj parzystości. Funkcje obu mikroprzeliczników zawiera *tab. 1*.

Dane równoległe ze złącza Centronics K1 podawane są na dwukierunkowy bufor szmy danych IC1. Zależnie od potencjału przyłożonego na końcówkę 1 tego układu dane są przepisywane z wejścia Centronics na wejście układu, COMB017 lub następuje transfer w przeciwnym kierunku. Między układami

UART COM8017

Układ COM8D17 firmy Standard Microsystems Corp. zastępuje przestarzały AY-3-1015 firmy General Instruments Corp.. W obudowie o 40 wyprowadzeniach zawarte są układy logiczne realizujące konwersję danych w standardzie równoległym na standard szeregowy i vice versa. Znajdujący się obok schemat blokowy przedstawia strukturę układu, który zawiera bufor wejścia/wyjścia i złączany z nim rejestr przesuwany, dwa bloki układów sterujących przepływem danych, rejestr kontroli i rejestr statusu.





Rys. 3. Diagramy czasowe ułatwiające zrozumienie działania układu.

dem COM8017 a złączem szeregowym znajduje się układ MAX232 (IC8), zapewniający dostosowanie poziomów sygnałów standardu RS232 (skok napięcia w zakresie od ± 5 do ± 15 V) do 5-voltowej logiki konwertera. Układ ten zawiera podwajacze napięcia i przetworniki prąd-napięcie. Skok sygnałów na wyjściach T1out i T2out wynosi około ± 10 V. Sygnały odebrane ze złącza szeregowego są podawane na wejścia R1in i R2in i ulegają konwersji do poziomów logicznych TTL.

Dane po zakończeniu konwersji ze standardu równoległego na szeregowy są dostępne na wyprowadzeniu 25 układu IC3. Po konwersji poziomu w układzie IC8 dane są podawane na kontakt TxD lub RxD złącza K4. Wyboru dokonuje się, w zależności od zastosowanego kabla i podłączonego urządzenia, przy pomocy zwory. W przypadku gdy podłączone urządzenie jest typu DCE, zwora winna być w pozycji "0", gdy zaś jest ono typu DTE (dotyczy to większości drukarek) - w pozycji "1". Jeśli chodzi o "handshaking", należy dokonać wyboru między sygnałami RTS i DTR, w czym pomocna będzie instrukcja obsługi podłączanego urządzenia.

Przeznaczone do konwersji na postać równoległą dane w postaci szeregową podawane są na wejście konwertera przez złącze K3. W tym trybie pracy konwerter zachowuje się jak urządze-

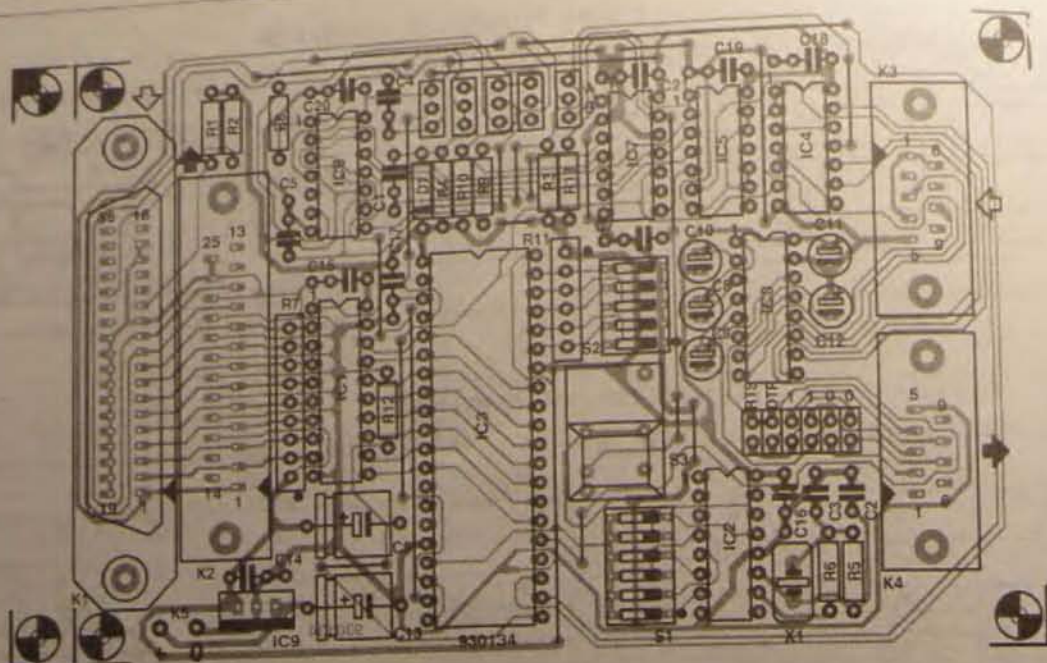
nie typu DCE. Po konwersji poziomów w układzie IC8 dane podawane są na wejście szeregowo IC3 (wyprowadzenie 20). Po konwersji do postaci równoległej dane dostępne są na wyjściach RD1-RD8, a następnie przez bufor IC1 podawane na złącze Centronics K2, do którego można podłączyć typową drukarkę pracującą w tym standardzie. Pętla sprzężenia obecna na schemacie blokowym jest zrealizowana przez połączenie bufora wyjściowego układu IC3 (RD1...RD8) z buforem wejściowym tego samego układu (DB1...DB8).

Sygnały sterujące ("handshaking")

Na schemacie elektrycznym widnieją kilka zwór, których połączenia odpowiadają konwersji ze standardu równoległego na szeregowy. Sygnały BUSY i ACKNOWLEDGE umożliwiają przekazanie informacji o stanie konwertera urządzeniu współpracującemu ze złączem K1. Sygnał BUSY jest łatwo wygenerować: RTS lub DTR są aktywne, jeśli urządzenie standardu RS jest gotowe do odebrania danych; jeśli wyjście TMBT układu IC3 jest także w stanie wysokim, bramka NAND (IC4) wymusza stan niski linii BUSY. Ta zmiana poziomu jest także wykorzystywana do wygenerowania, za pośrednictwem el-

mentów D1, C1, R3, R4, impulsu ACK pojawiającego się jako stan niski po opadającym zboczku sygnału BUSY. Stan ten oznacza, że konwerter odebrał i przetworzył dane. Gdy następne dane pojawiają się na szynie Centronics, urządzenie podłączone do K1 generuje impuls strobujący, podawany na wejście DS układu IC3, który reaguje załadowaniem danych do wewnętrznego bufora. Są one następnie poddawane konwersji do postaci szeregowo i przekazywane do odbiornika pracującego w standardzie RS232. W czasie trwania konwersji sygnał TBMT jest na poziomie niskim (a sygnał BUSY - wysokim) co oznacza, że konwerter nie jest gotów na przyjęcie nowych danych. Jeśli szeregowy konwerter nie jest w stanie przetworzyć strumienia danych, wymusza stan niski na linii DTR lub RTS, co w konsekwencji powoduje przejście linii BUSY w stan wysoki.

Drugi wariant działania konwertera - konwersja ze standardu szeregowo na równoległy - wymaga zmiany kierunku działania bufora IC1 poprzez zmianę potencjału na wyprowadzeniu 1, dokonywanej przy pomocy zwory. Linia ACK jest odłączona od złącza K1. Linia strobująca staje się linią wejściową, zaś linia BUSY - linią wyjściową. Po pojawieniu się opadającego zbocza na wejściu szeregowym IC3 układ ten analizuje czas trwania stanu niskiego



Rys. 4. Rozmieszczenie elementów na płytce konwertera. Mozaika ścieżek płytki jest pokazana na wkładce.

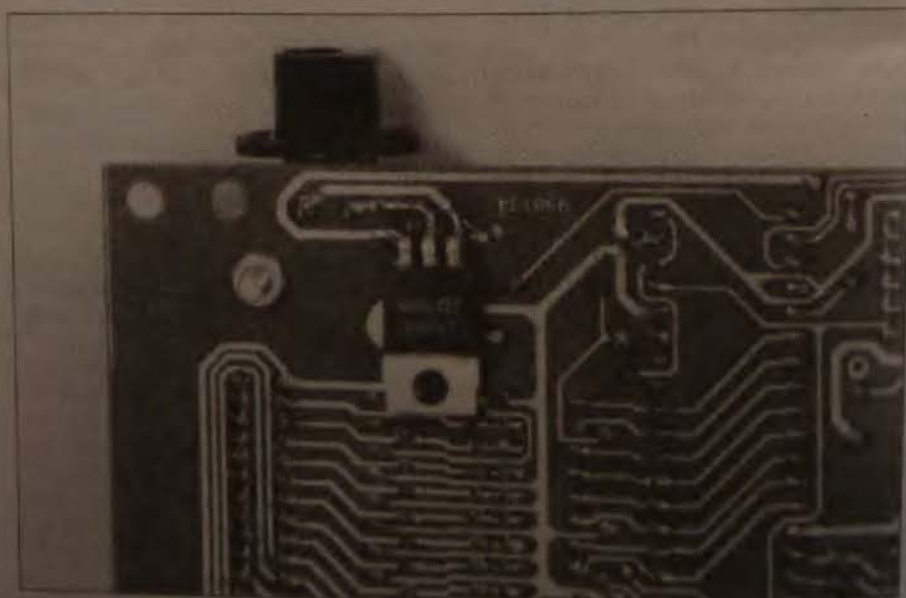
celem rozpoznania ewentualnego impulsu startu. To samo opadające zbocznie podane na wejście RDAV powoduje pojawienie się niskiego stanu na wyjściu DAV układu COM8017. W celu zasygnalizowania nadajnikowi RS232 przez linię CTS potrzeby przerwania transmisji po przekazaniu bieżącego bajtu, jest ustawiany przerzutnik bistabilny SR IC7b. Po konwersji dane w postaci równoległej przekazywane są do bufora, oczywiście pod warunkiem przesłania do odbiornika poprzedniego bajtu. Obecność nowych danych sygnalizuje przejście wyjścia DAV w stan wysoki. Sygnał ten jest zarazem zegarem przerzutników IC6a, IC6b i IC7a. Przerzutniki IC6a i IC6b w połączeniu z parami elementów R8, C4 i R9, C5 tworzą układ monostabilny. Jeśli urządzenie standardu Centronics podłączone do złącza K2 nie jest zajęte, IC6b generuje impuls strobowy, zaś dane zostaną przepisane do tego urządzenia. Następnie układy IC7a i IC7b, za pośrednictwem linii CTS, sygnalizują urządzeniu nadającemu w standardzie RS232 możliwość transmisji następnych danych. Gdyby linia BUSY była nadal w stanie wysokim, na wejściu D przerzutnika IC6b występowałby stan niski i impuls strobowy nie byłby generowany. Nastąpiłoby wysłanie impulsu z wyjścia IC6a na wejście DS układu IC3, co z kolei spowodowałoby przesłanie przez układy IC4b i IC4c odebranego bajtu z szeregowego wyjścia na szeregowo wejście układu IC3. Po zakończeniu tej sekwencji generowany byłby sygnał

DAV, po czym, gdyby odbiornik był nadal zajęty, bajt danych zostałby ponownie przesłany w taki sam sposób, gdyby zaś odbiornik był wolny, wygenerowany zostałby impuls strobowy. Układ został wyposażony w przycisk zerujący S4 (Reset), przydatny wówczas, gdy wystąpi błąd blokujący transmisję. Naciśnięcie S4 powoduje wyzerowanie przerzutników IC7a i IC7b.

Wykonanie

Wszystkie elementy montowane są na

płytkę drukowaną konwertera (rys. 4). Wejściowe i wyjściowe złącza równoległe są umieszczone po jednej stronie płytki, natomiast złącza szeregowo - obok siebie z drugiej strony płytki (rys. 1). Zastosowany typ złącz umożliwia dołączanie kabli od góry. Montaż podzespołów nie powinien przedstawiać problemu. Zmontowana płytka jest dokładnie dopasowana do zaproponowanej obudowy; należy jedynie wyciąć odpowiednie otwory pod złącza, oba mikroprzełączniki, przycisk i gniazdo sieciowe. W przypadku zastosowania tej



Rys. 5. Niekonwencjonalny sposób montażu regulatora napięcia, narzucony przez wymiary obudowy.

WYKAZ ELEMENTÓW

Rezystory

R1, R2, R4, R8, R9, R10, R13: 10kΩ
 R3, R6, R12: 1kΩ
 R5: 1MΩ
 R7: 8x10kΩ, R-pack
 R11: 5x10kΩ, R-pack

Kondensatory

C1, C7, C14...C21: 100nF
 C2: 27pF
 C3: 39pF
 C4, C5: 1nF
 C6, C13: 100μF/16V
 C8...C12: 10μF/25V (wyprowadzenia osiowe)

Elementy półprzewodnikowe

D1: 1N4148
 IC1: 74HCT245
 IC2: 4060
 IC3: COM8017
 IC4, IC5: 74HCT00
 IC6, IC7: 74HCT74
 IC8: MAX232
 IC9: 7805

Różne

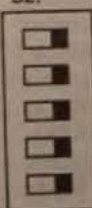
K1: 36-kontaktowe proste złącze Centronics do montażu na płytce drukowanej
 K2: 25-kontaktowe proste złącze żeńskie sub-D do montażu na płytce

K3: 9-kontaktowe proste złącze żeńskie sub-D do montażu na płytce
 K4: 9-kontaktowe proste złącze męskie sub-D do montażu na płytce
 K5: 2 szpilki do druku
 S1: 6-elementowy mikroprzełącznik scalony
 S2: 5-elementowy mikroprzełącznik scalony
 S3: przycisk Digitast o średnicy 12mm (ITT/Cannon Switches)
 X1: rezonator kwarcowy 2,4576MHz, zwróta 2x6 końcówek
 5 zwróta SIL, 3x1 końcówka obudowa 92x146x28mm
 płytka drukowana kod 930134

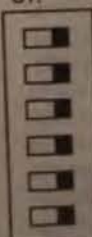
○ ○ ○ ○ ○ A jumpers at side A: parallel-to-serial
 ○ ○ ○ ○ ○ B jumpers at side B: serial-to-parallel

switch	open	closed
parity	even	odd
number of bits	+1 7	+0 5
parity bit	none	yes
stop bits	2	1

S2:

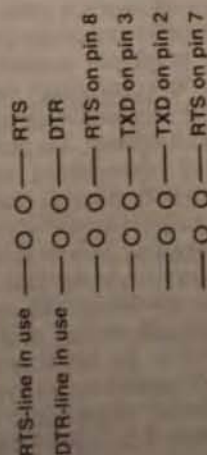


S1:



only one
 switch
 closed:

300Bd
 600Bd
 1200Bd
 2400Bd
 4800Bd
 9600Bd



930134 - T1

Tab. 1. Położenie zwor i mikroprzełączników.

Obudowy stabilizator napięcia należy przylutować od strony druku (rys. 5). Nie należy używać układu przed odpowiednim ustawieniem zwor. Płg zwor znajdujących się przy krawędzi płytki na jej środku (rys. 3, rys. 4) powinno być ustawionych w pozycji A (konwerter równoległy-szeregowy) lub B (szeregowy-równoległy). Należy następnie, poprzez odpowiednie połączenia zwor i okablowanych w okolicy złącza K4, dokonać wyboru linii wykorzystywanych przez interfejs szeregowy. Jeśli urządzenie podłączone do wyjścia szeregowego jest typu DCE, zastosowany kabel musi mieć skrzyżowane połączenia, należy więc zwory umieścić w poło-

eniu "1". Zwory te należy natomiast umieścić w położeniu "0", jeśli urządzenie jest typu DTE i kabel bez skrzyżowanych połączeń, lub jeśli urządzenie jest typu DCE, a kabel ze skrzyżowanymi połączeniami. Obudowę zamykamy po dokonaniu w/w połączeń, zaś szybkość transmisji i format danych szeregowych mogą być ustawione przy pomocy mikroprzełączników.

NORTH ELECTRONIC

75-339 KOSZALIN, ul. Wąwózowa 7a,
 tel/fax: 41-56-14

OFICJALNY
 DYSTRYBUTOR
 WYROBÓW
 FIRMY

KONIG
 ELECTRONIC

POLECA:

Realizację pełnego programu firmy KONIG. Dostawy z magazynu KONIGA raz w tygodniu. Polecamy realizację indywidualnych zamówień klienta.

SPRZEDAŻ:

W siedzibie firmy, Wąwózowa 7a, Włocławek, wysyłkowo pocztą.

ZAPRASZAMY DO WSPÓŁPRACY

Przy ilościach hurtowych znaczne upusty. Dla stałych odbiorców katalogi i materiały reklamowe bezpłatnie.

We are specialists
 in electronic
 stocklots.

We buy your
 overstock against
 cash money.

We sell our
 components all over
 the world, against
 special prices

Call us or Fax us!

BOTS

ELECTRONICS

Konwerter RS232C - Centronics, dwukierunkowy, z 5-pinowym złączem sub-D, z 25-pinowym złączem Centronics, z 25-pinowym złączem Centronics, z 25-pinowym złączem Centronics.

SAMPLER DO AMIGI



Komputery z serii Amiga firmy Commodore są cenione ze względu na ich znakomitą grafikę i dźwięk. Opisana poniżej karta przetwornika umożliwi posiadaczom komputera Amiga - przy niewielkim nakładzie kosztów - przetwarzanie cyfrowe sygnałów akustycznych z urządzeń zewnętrznych.

P. Trags

Dźwięk nie jest podstawowym środkiem komunikacji komputera z użytkownikiem, głównym oczywiście pozostaje ekran. Jednak komputery z serii Amiga w łatwy sposób można podnieść do rangi maszyny multimedialnych. Służy do tego proponowana niżej karta przetwornika dźwięku, celowo zaprojektowana jako prosta i w konsekwencji niedroga. Może ona współpracować ze wszystkimi wersjami komputera Amiga (A500, A1000, A2000 i profesjonalnym A3000) i popularnymi programami próbkującymi, jak Audio Master I, II i III, Record Maker, Perfect Sound, Future Sound i DeLuxe Sound. Karta może przetwarzać sygnały monofoniczne i stereofoniczne. Wygenerowany sprętoowo sygnał może być odtworzony przez cztery kanały dźwięku Amigi z bardzo wysoką jakością stereofonicznego dźwięku. 8-bitowa karta tworzy spójną całość z komputerem. Uzbudowany w taką kartę komputer może być wykorzystany także jako oscyloskop do wizualizacji sygnałów o niskiej częstotliwości i niewielkiej amplitudzie, ponieważ większość oprogramowania współpracującego z kartą zapewnia taką możliwość.

Układ

Karta współpracuje z komputerem przez port drukarki, z którym połączona jest przez złącze K1. Widoczne na rys. 1 dwie możliwości podłączenia zasilania +5V wynikają z tego, że model A1000 miał to napięcie wyprowadzone na niewłaściwy kontakt gniazda portu, co zostało akorygowane w późniejszych modelach. Sygnały audio są podawane przez gniazda K2 i K3 na wzmacniacze IC3a i IC3b, podnoszące 3-krotnie po-

ziom sygnału. Sygnały wyjściowe wzmacniaczy są podawane na wejścia konwerterów analogowo-cyfrowych ADC0804. Ponieważ są to układy tanie, w każdym torze sygnału umieszczono po jednym konwerterze, dzięki czemu uzyskuje się szersze pasmo. Przetwornik ADC0804 dokonuje przetworzenia metodą kolejnych porównań. Według producenta przetwornik ten może pracować z częstotliwościami zegara 100kHz...1,46MHz, ale ponieważ błędy konwersji rosną wraz ze wzrostem częstotliwości zegara, zalecana wartość tej częstotliwości wynosi 640kHz. Czas konwersji wynosi wówczas około 100µs, przy czym wartość ta uwzględnia także do ośmiu cykli zegara mogących wystąpić między sygnałem startu konwersji a jej faktycznym początkiem. W prezentowanym układzie częstotliwość zegara jest regulowana w zakresie 0,5...1,5MHz, aby umożliwić optymalizację jej wartości dla konkretnego zastosowania. Przy częstotliwości zegara 1,46MHz maksymalna częstotliwość przetwarzanego sygnału audio wynosi około 10kHz. Potencjometr P2 kompensuje napięcia niezrównoważenia wzmacniaczy IC3a i IC3b. Potencjometr P1 służy do regulacji poziomu sygnału - celem uzyskania wysokiej jakości dźwięku należy zapewnić pełne wykorzystanie dynamiki konwerterów. Oczywiście, przy współp-

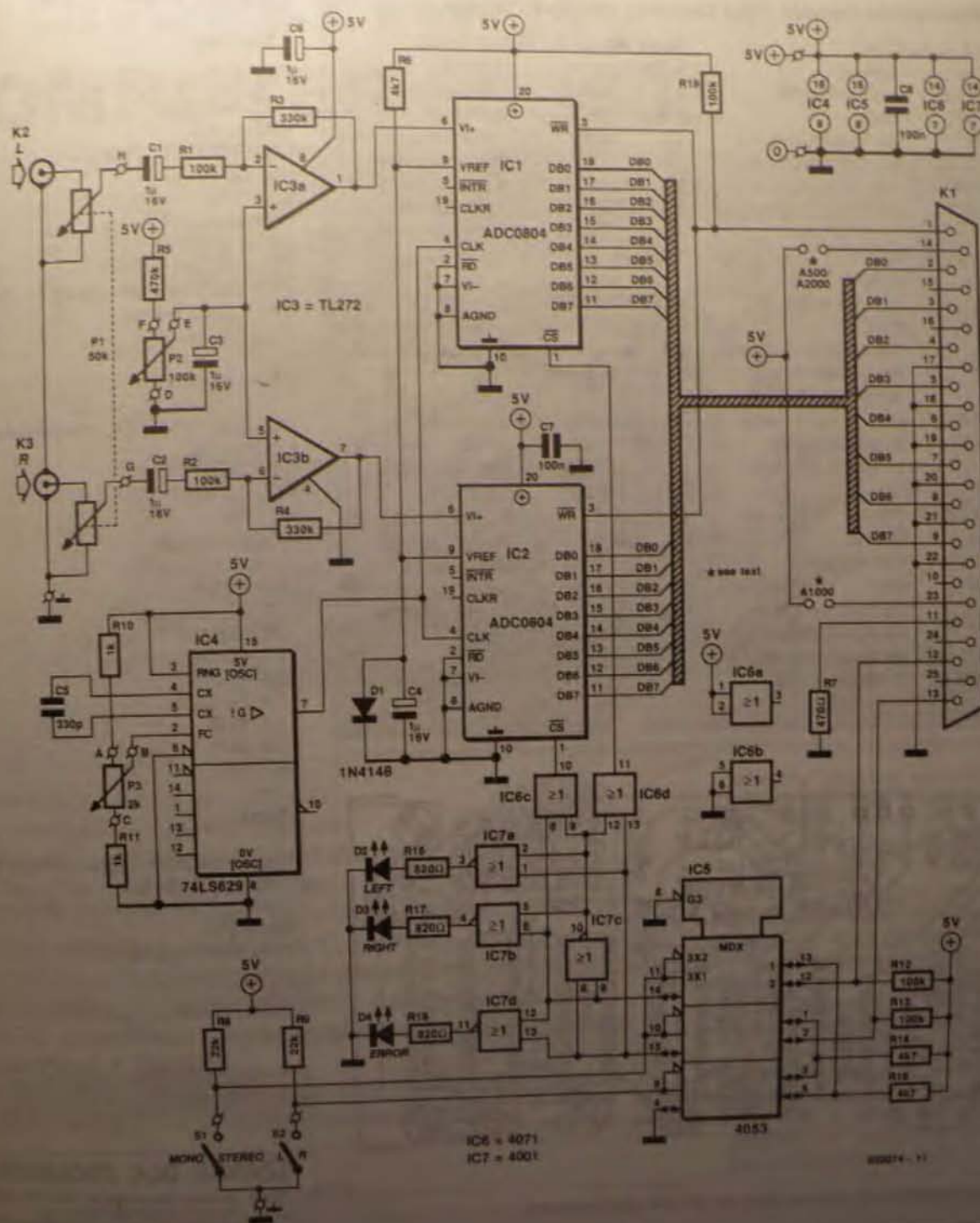
racy ze źródłem sygnału o znanej dynamice wystarczy obie regulacje przeprowadzić jednokrotnie.

Źródło napięcia odniesienia konwerterów stanowi dioda D1. Stabilność napięcia 0,6V na przewodzącej diodzie jest wystarczająca dla tych zastosowań, do których karta jest przeznaczona; nie ma potrzeby uciekania się do specjalnych i zarazem znacznie droższych źródeł napięcia odniesienia. Pozostały blok stanowią układy selekcji kanałów, zbudowane z wykorzystaniem potrójnego dwukanałowego multipleksera (IC5). Sygnały na końcówkach 14 i 15 służą do generacji sygnałów selekcji (CS) konwerterów. Odpowiednie sygnały sterujące są podawane z komputera przez złącze K1 (n. 12, 13).

Ponieważ oba konwertery wykorzystują tę samą szynę danych, układ zawiera system umożliwiający wybór tylko jednego z dwóch konwerterów. Gdyby oba konwertery zostały zaadresowane przez komputer w tym samym czasie, na wejściach IC7c i IC7d wystąpiły słaby niskie. Spowoduje to zablokowanie bramek IC6c, IC6d, IC7a i IC7b oraz zaświecenie diody D4, stanowiącej wskaźnik błędów. Jeśli tylko jeden przetwornik zostanie wybrany (stan niski tylko na jednym z wyjść IC5), włączona zostanie jedna z diod D3 lub D2, zależnie od wybranego kanału. Ponieważ

Podstawowe dane

- współpraca ze wszystkimi wersjami komputerów Amiga;
- rozdzielczość 8 bitów;
- częstotliwość próbkowania do ok. 25kHz;
- możliwość pracy jedno- i dwukanałowej (dźwięk mono i stereo);
- współpraca z komputerem przez interfejs drukarki (Centronics);
- możliwość współpracy z dostępnym w handlu oprogramowaniem, pracą ręczną lub programową.



Rys. 1. Schemat elektryczny samplera.

na wyjściu IC7c wystąpi stan wysoki. bramki IC6d i IC6c przekazują sygnał selekcji do odpowiedniego przetwornika. Oczywiście przełączanie kanałów przez oprogramowanie w przypadku przetwarzania sygnału stereo odbywa się na tyle szybko, że obserwuje się świecenie obu diod. Wybór przetwarzania sygnału mono/stereo dokonywany jest przy pomocy przełącznika S1, a wybór kanału w trybie mono - przy pomocy przełącznika S2.

Po wysłaniu przez komputer sygnału startu konwersji (SOC - start of conversion) następuje przetwarzanie sygnału audio na słowo 8-bitowe, które następnie jest podawane na szynę danych.

Wykonanie

Kartę montujemy na płytce drukowanej, której mozaika ścieżek jest pokazana na wkładce. Rozmieszczenie elementów jest przedstawione na rys. 2. Po

nieważ zastosowano niedrogie i stosunkowo mało wrażliwe elementy, można nie używać podstawek pod układy scalone. Montaż należy rozpocząć od zwoi (uwaga - zwoje krzyżują się), a zakończyć na układach scalonych. Płytę montujemy w plastikowej obudowie z odpowiednimi otworami.

Oprogramowanie

Jak już wspomnieliśmy, karta może

Sampler do Amigi

Wykorzystanie sygnałów złącza Centronics przez oprogramowanie:

Future Sound (tylko mono)		
kontakt	nazwa	funkcja
1	STROBE\	start konwersji
2-9	D0-D7	dane
10	ACK\	nie wykorzystywany
11	BUSY	nie wykorzystywany
12	PAPER OUT	nie wykorzystywany
13	SELECT	nie wykorzystywany

Record Maker (tylko mono)		
kontakt	nazwa	funkcja
1	STROBE\	start konwersji
2-9	D0-D7	dane
10	ACK\	nie wykorzystywany
11	BUSY	zawrzuć do masy
12	PAPER OUT	nie wykorzystywany
13	SELECT	0 - próbkowanie; 1 - koniec próbkow.

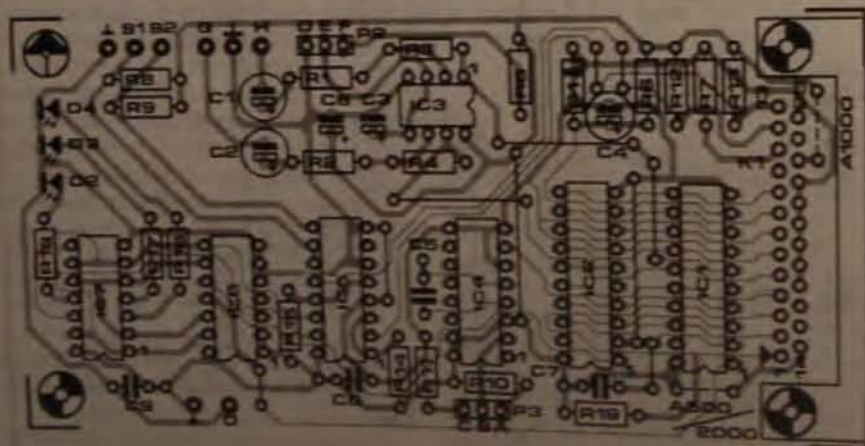
Audio Master I (tylko mono)		
kontakt	nazwa	funkcja
1	STROBE\	start konwersji
2-9	D0-D7	dane
10	ACK\	nie wykorzystywany
11	BUSY	nie wykorzystywany
12	PAPER OUT	nie wykorzystywany
13	SELECT	0 - próbkowanie

Audio Master II / Perfect Sound		
kontakt	nazwa	funkcja
1	STROBE\	start konwersji
2-9	D0-D7	dane
10	ACK\	nie wykorzystywany
11	BUSY	nie wykorzystywany
12	PAPER OUT	0 - kanał prawy
13	SELECT	0 - kanał lewy

(w opcji "Device Type" należy wybrać "Parallel")

Audio Master III
Po wybraniu opcji Sampler: Hi-speed oraz CPU: A program działa analogicznie jak Audio Master II.

DeLuxe Sound (tylko mono)		
kontakt	nazwa	funkcja
1	STROBE\	start konwersji
2-9	D0-D7	dane
10	ACK\	nie wykorzystywany
11	BUSY	zawrzuć do masy
12	PAPER OUT	nie wykorzystywany
13	SELECT	0 - próbkowanie



Rys. 2. Rozmieszczenie elementów na płycie drukowanej.

współpracować z całą gamą programów dla komputera Amiga, naprzędziej byłoby więc nabyć jeden z nich. W tabeli podano sposób wykorzystania linii interfejsu przez różne programy, co będzie przydatne przy uruchamianiu.

Opcję wymienionych na widoku programów karta może współpracować z programami Protracker, Soundtracker, Noisetacker i Octalyser. Odpowiednie ustawienie regulacji (potencjometrów) odbywa się według następującej procedury: wybrać funkcję "Display

loskop" w menu programu, podać na wybrane wejście sygnał akustyczny. Ustawić potencjometr kompensacji napięcia niezrównoważenia i potencjometr wzmocnienia w położeniu środkowym, a potencjometr regulacji częstotliwości zegara w prawym skrajnym położeniu. Dokonać korekty ustawień w zależności od uzyskiwanego na ekranie obrazu.

WYKAZ ELEMENTÓW

Rezystory

R1, R2, R12, R13, R19: 100kΩ
R3, R4: 330kΩ
R5: 470kΩ
R6, R14, R15: 4,7kΩ
R7: 470Ω
R8: 12kΩ
R9: 22kΩ
R10, R11: 1kΩ
R16, R17, R18: 820Ω
P1: 50kΩ, podwójny, logarytmiczny
P2: 100kΩ, liniowy
P3: 2kΩ, liniowy

Kondensatory

C1...C4, C6: 1μF/16V, wyprowadzenia osiowe
C5: 330pF
C7, C8: 100nF

Półprzewodniki

D1: 1N4148
D2, D3: LED (zielona)
D4: LED (czerwona)
IC1, IC2: ADC0804
IC3: TLC272
IC4: 74LS629
IC5: 4053
IC6: 4071
IC7: 4001

Różne

złącze męskie sub-D 25-kontaktowe, 1szt.
gniazdo RCA, 2 szt.
przełącznik jednobiegowy jednopokłonowy, 2 szt.
płyta drukowana kod 920074

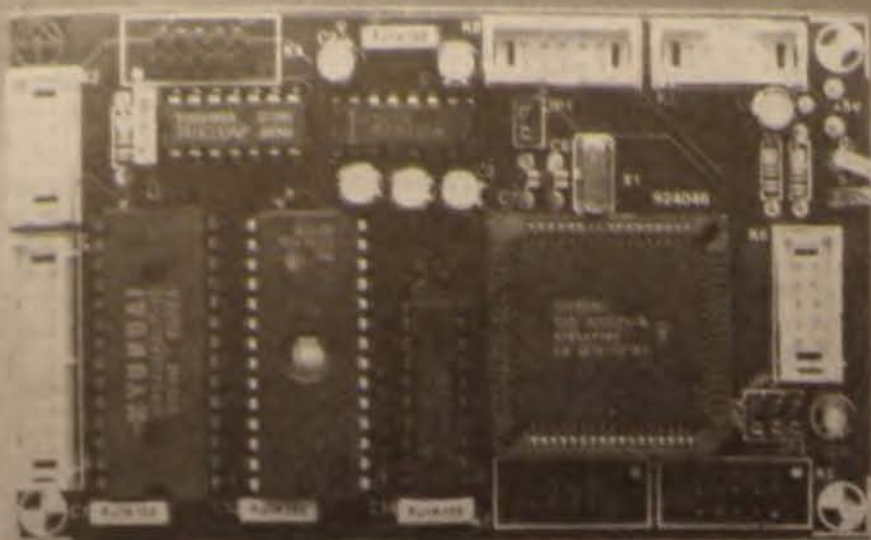
SZANSA DLA ZDOLNYCH!

Nowe zestawy komputerów IBM PC 386 do samodzielnego zbudowania.
Rozbudowa płyty głównej (złoty standard) VGA, I/O, RS, STROB, MOD, Game Port.
JUZ ZA 3.5mln. MOŻESZ MIEĆ WŁASNY KOMPUTER PC 386!
Najwyższy poziom jakości i ceny wyjątkowo!
To oferta dla Ciebie! Zadzwoń, napisz, wyślij pocztą.
HELP-BIT, 51-673 Wrocław, skr.poczt. 23

SCHEMATY I INSTRUKCJE SERWISOWE do TV VIDEO HI-FI itp.

oraz części i podzespoły elektroniczne.
Katalog 280 str. zawiera tysiące schematów.
KLAR PSP 74-320 Białystok
ul. Chopina 11a. tel/fax 61-574

JEDNOPLYTOWY KOMPUTER 80C535



Uniwersalny i łatwy w budowie komputer jednopłytkowy, opisany poniżej, zawiera takome kaski dla entuzjastów mikrokontrolerów: pamięć ROM, RAM, silną jednostkę centralną 80C535, porty wejścia/wyjścia, konwerter A/C, interfejs RS232, a wszystko to na zadziwiająco niewielkiej płytce. Sprzęt uzupełniono o program monitora zapisany w pamięci EPROM, pozwalający wykorzystywać komputer PC do komunikacji z 80C535.

Dodajmy jeszcze, że w następnym numerze Elektora rozpoczniemy kurs programowania 80C535.

M.Ohsmann

Płyta drukowana komputera 80C535 została zaprojektowana z myślą o łatwości łączenia jej z innymi układami. Wszystkie główne wyprowadzenia mikrokontrolera dostępne są na miniaturalnych złączach mocowanych na krawędziach płytki. Z monitorem EMON51, zapisanym w pamięci EPROM umieszczonej w podstawce, komputer jest gotowy do pracy, będąc w pełni zgodnym ze wszystkimi programami przygotowanymi dla 8051/80C32. 80C535 ma wbudowany interfejs RS232, zawierający tylko linie RxD i TxD, który można łatwo połączyć z komputerem PC, na którym działa

dowolny program komunikacyjny lub program ładujący programy - V24. Ten drugi można znaleźć na dyskietce zawierającej kurs assemblera 8051/80C32. Prezentowany w tym urządzeniu układ interfejsu RS232 posiada własny przetwornik napięć symetrycznych. Pomijając 32kB pamięci ROM i RAM, pakiet zawiera osiem wejść sygnałów analogowych o rozdzielczości do 10 bitów. Przetwornik A/C, odczytujący sygnały analogowe, wbudowany jest w mikrokontroler SAB80C535. Układ ten, zaprojektowany przez firmę Siemens, stanowi rozwinięcie układu 8051 firmy Intel, z którym jest w pełni kompatybilny. W związku z tym ci, którzy już programowali 8051, mogą bez

Główne parametry

Sprzęt:

- gęsto upakowana płyta drukowana (115x68mm)
- mikrokontroler 80C535
- 32kB statycznej pamięci CMOS RAM
- 32kB pamięci EPROM
- interfejs RS232
- wszystkie porty i linie sterowania CPU dostępne przez złącza
- specjalne sterowanie włączaniem/wyłączaniem pamięci EPROM i RAM

Oprogramowanie:

- zgodność z assemblerem TASM51 dla 8051
- zgodność z monitorem EMON51 dla 8051
- możliwość przesłania instrukcji od łącza RS232

Jednopłytowy komputer 80C535

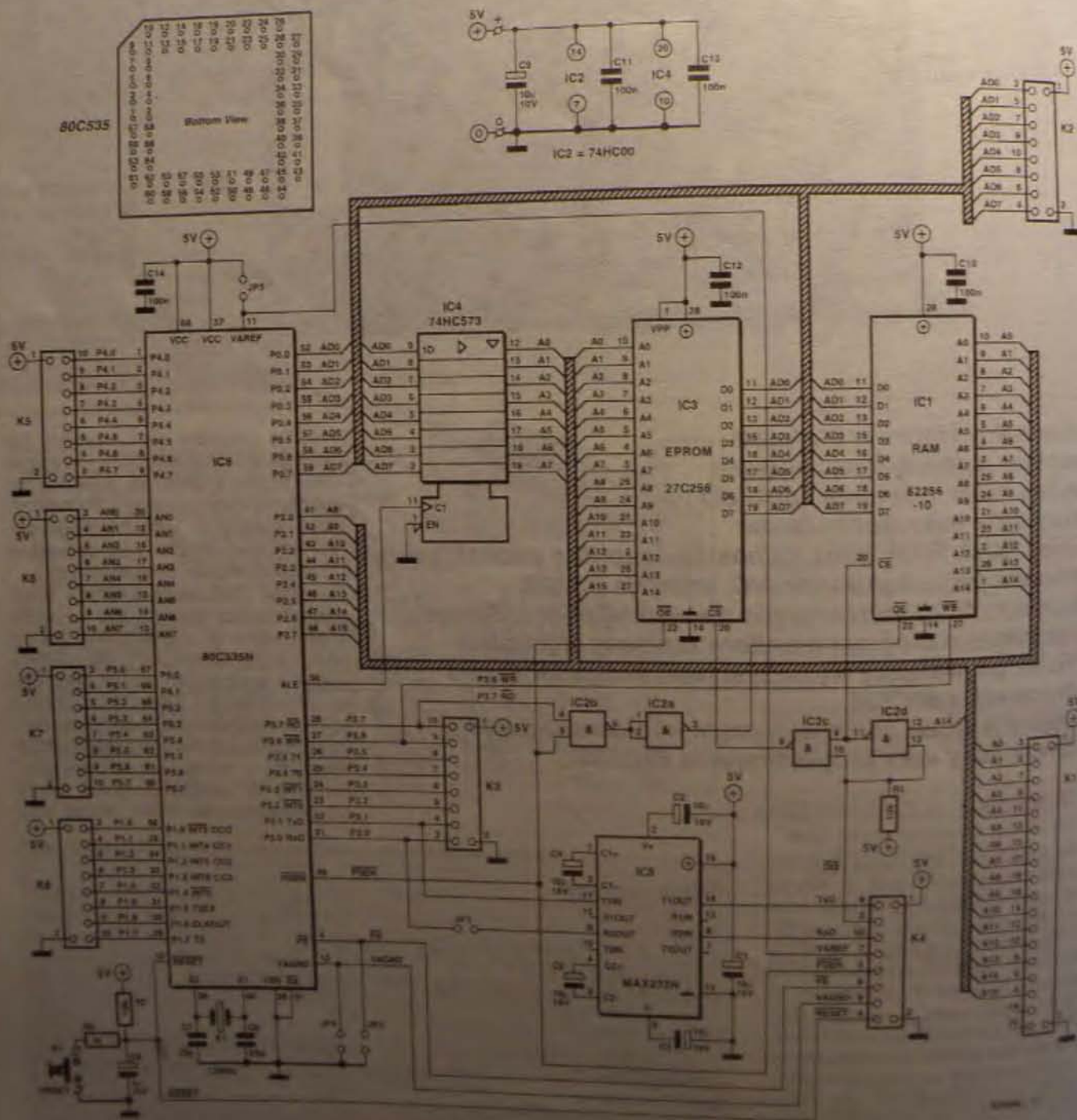
problemów "przejąć się" na 80C535. Zauważmy jednak, że 80C535 ma kilka "rozwinąć" w stosunku do 8051. Te nowe zagadnienia, dotyczące hardware'u i software'u 80C535 będą przedmiotem kursu, którego publikację rozpoczniemy za miesiąc.

Porty

Schemat elektryczny komputera, opartego na układzie 80C535 (rys. 1), jest prawie standardową aplikacją tego mikrokontrolera. Wszystkie jego porty i li-

nie sterujące wyprowadzono na złącza K1...K8. Aby uniknąć nieporozumień związanych z numeracją końcówek, związanych z numeracją końcówek, rys. 2 przedstawia ich ułożenie w złączach o dziesięciu wyprowadzeniach, czyli takich, jakich użyto w układzie. Układ pokazany na rys. 1 jest odpowiedni tylko dla wersji CMOS mikrokontrolera SAB80C535, nie należy go jednak w żadnym wypadku stosować dla standardowej wersji układu N-MOS 80535, który zostanie nieodwracalnie uszkodzony z powodu różnicy funkcji wyprowadzeń 4 i 37.

IC4 jest rejestrem adresowym typu zask (ang. latch), którego wyjścia podawane są na osiem mniej znaczących bitów adresu A0...A7, wyprowadzonych na zewnątrz układu przez złącze K1. Obszary pamięci tylko do odczytu oraz do odczytu/zapisu zostały odpowiednio zrealizowane przy pomocy 32kB pamięci EPROM (IC3) i 32kB pamięci CMOS RAM (IC1). Dekodowanie adresów może wydać się nieco nietypowe. Prosty dekodery adresów, oparty na poczwórnej bramce NAND typu 74HC00, użyto do podzie-





Rys. 2. Numeracja wyprowadzeń na 10-krotnym złączu używanym do dołączania układów zewnętrznych do pakietu 80C535.

lenia pamięci na cztery obszary po 16kB każdy. Tak jak każdy procesor z rodziny 8051, 80C535 jest w stanie adresować 64kB pamięci programu (nazywanej także pamięcią kodu) i 64 kB pamięci danych (nazywanej także

pamięcią zewnętrzną). Dostęp do pamięci kodu sygnalizowany jest stanem niskim na linii PSEN, podczas gdy dostęp do pamięci danych oznaczany jest przejściem do stanu niskiego linii RD lub WR. Kombinacje stanów logicznych tych sygnałów w układzie IC2 dają w rezultacie przydział adresów fizycznych, tak jak pokazano to w tabeli 1. Ten szczególny podział pamięci wybrano po to, aby umożliwić używanie pamięci EPROM monitora systemowego EMON51; od adresu 4000H wzwyż oczekuje on pamięci RAM.

Układy pamięci RAM i EPROM umieszczone na pakiecie mogą zostać zablokowane przez podanie stanu niskiego na wyprowadzenie DIS złącza K4. Jeśli wyprowadzenie to nie jest używane, 80C535 wykorzystuje pamięć EPROM i RAM zainstalowaną na płycie. Sterowanie włączeniem/wyłącze-

nem pamięci pakietu zostało dodane w celu umożliwienia pracy z zewnętrzną pamięcią EPROM lub pamięcią RAM z podtrzymaniem baterijnym. Właściwość tę można także wykorzystać przy sterowaniu układami wejścia/wyjścia umieszczonymi w przestrzeni adresowej pamięci.

Aby zapewnić, że interfejs RS232 będzie działał ze wszystkimi komputerami PC, pakiet 80C535 zawiera znany nadajnik/odbiornik linii RS232 - MAX232 z wbudowanym symetrycznym przetwornikiem napięcia.

Mikrokontroler pracuje z częstotliwością 12MHz, co umożliwia uruchamianie wszystkich programów czasowo-krytycznych zawartych w kursie języka assemblera 8051.

Chociaż sygnał RESET, pochodzący od zasilania, dostarczany przez R2, R3, i C8, będzie w przypadku większości aplikacji wystarczający, mogą pojawić się takie sytuacje (np. systemy z pamięcią RAM podtrzymywaną baterijnie), kiedy taki przebieg sygnału zerowania jest nieodpowiedni. W takich przypadkach zaleca się pominięcie C8, R2 i generowanie sygnału zerującego przy pomocy specjalnego układu z systemem "watchdog", np. MAX690. Jeśli występuje taka potrzeba, do wyprowadzenia 4 złącza K4 dołącza się sterownik zewnętrznego sygnału zerującego.

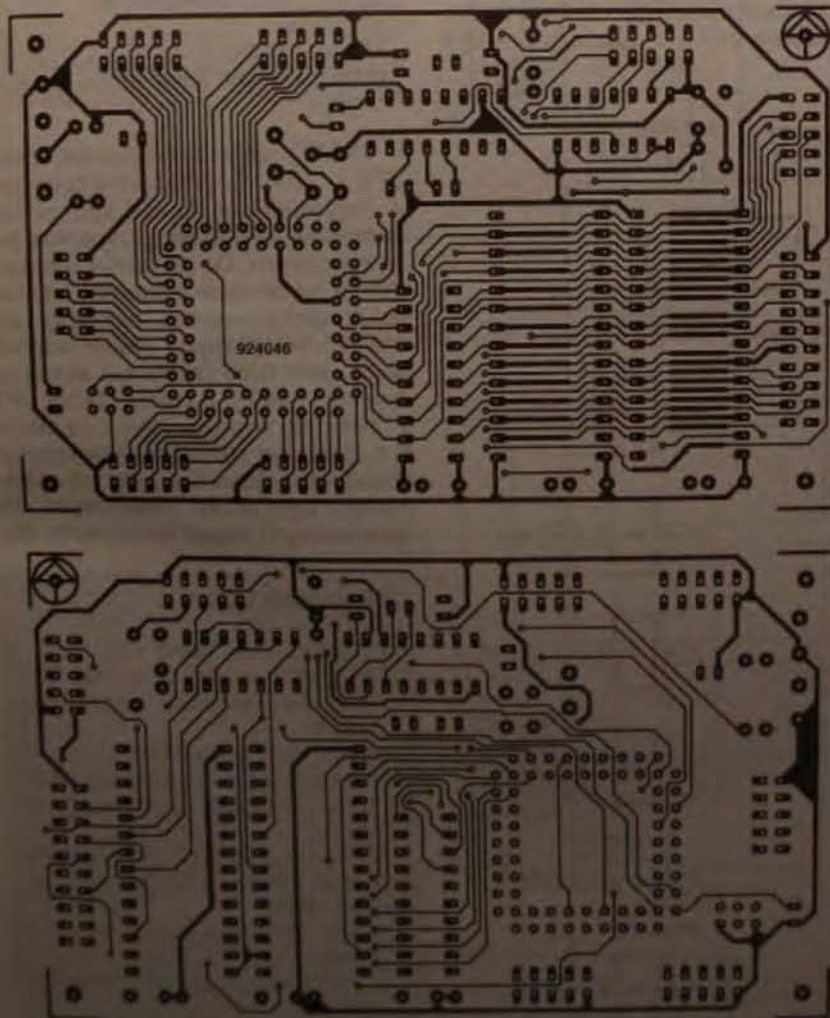
Zwory

Płytkę zawiera cztery zwory (ang. jumper). Zwora JP1 umożliwia dołączenie wejścia interfejsu szeregowego układu 80C535 do wyjścia sterownika IC5. Oczywiście, zwora ta musi być zainstalowana, jeśli do komunikowania się z urządzeniem zamierzamy wykorzystać łącze RS232 sterowane programem komunikacyjnym komputera PC. Zworę tę można pominąć tylko w takim przypadku, kiedy płytkę dołączono do komputera lub terminala dostarczającego sygnały o poziomach TTL (0/5 V). Dołączane są one wówczas bezpośrednio do wejścia P3.0 (RxD) mikroprocesora.

Dostęp do pamięci programu

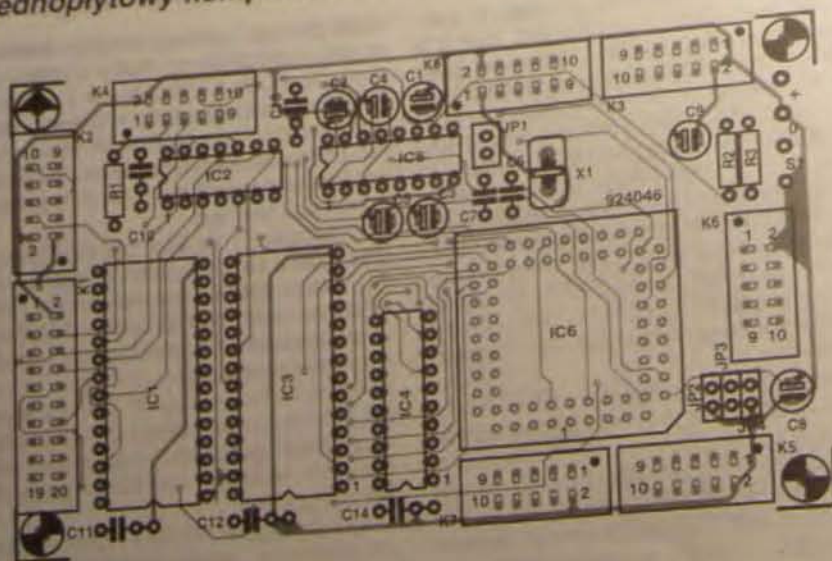
0000H - 3FFFH	EPROM 0000H - 3FFFH
4000H - 7FFFH	RAM 0000H - 3FFFH
8000H - BFFFH	EPROM 4000H - 7FFFH
C000H - FFFFH	RAM 4000H - 7FFFH
Dostęp do pamięci danych	
0000H - 3FFFH	
4000H - 7FFFH	RAM 8000H - BFFFH
8000H - BFFFH	
C000H - FFFFH	RAM 8000H - BFFFH

Tab. 1. Podział pamięci EPROM i RAM.



Rys. 3a. Mozaika ścieżek dwustronnej płytki drukowanej z metalizacją otworów.

Jednopłytkowy komputer 80C535



Rys. 3b. Schemat montażowy.

Linia ta dostępna jest także poprzez wyprowadzenie 3 złącza K3. Do przetwornika A/C zawartego w

80C535 należy podać zewnętrzne napięcie wzorcowe. Służą do tego wyprowadzenia mikroprocesora VAREF

WYKAZ ELEMENTÓW

Rezystory

R1, R2: 10kΩ
R3: 1kΩ

Kondensatory

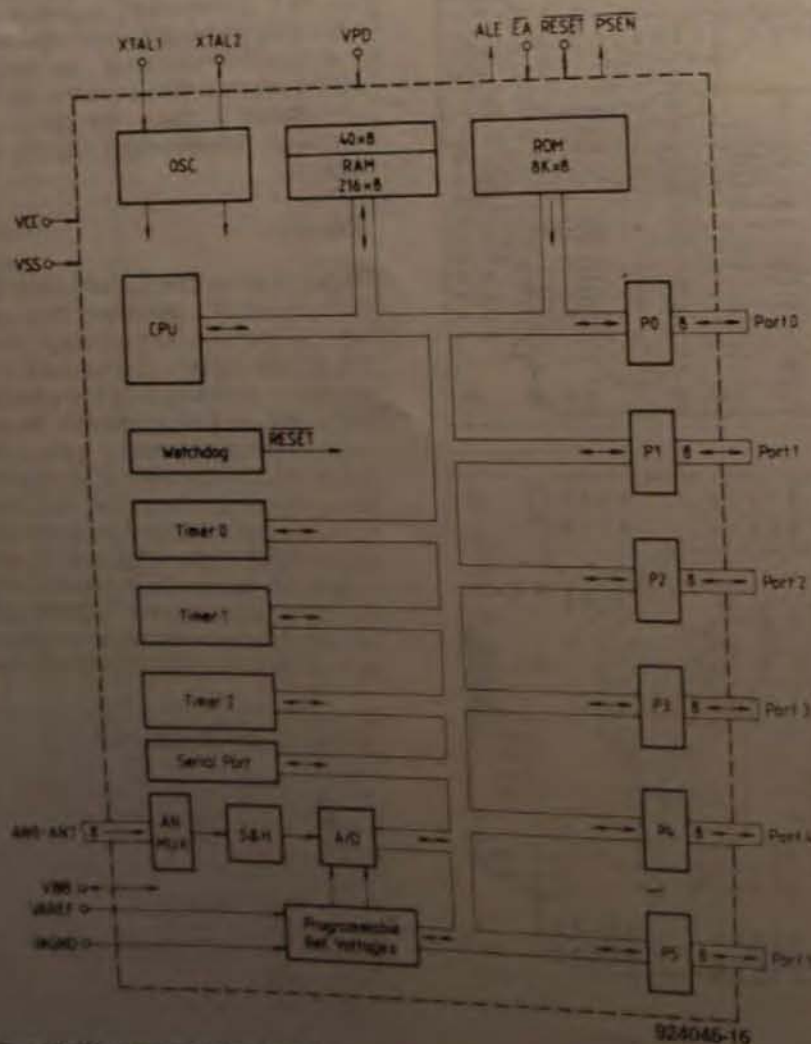
C1...C5: 10μF/16V
C6, C7: 22pF
C8: 1μF/10V
C9: 10μF/10V
C10...C14: 100nF

Półprzewodniki

IC1: 62256-10
IC2: 74HC00
IC3: 27C256 (EMON51) EPROM (dostępny w Dziale Obsługi Czytelników, kod 1661)
IC4: 74HC573
IC5: MAX232N (f-my Maxim Inc.)
IC6: SAB80C535 (f-my Siemens)

Różne

K1: złącze 20-końcówkowe
K2...K8: złącza 10-końcówkowe
S1: przycisk
X1: kwarc 12MHz
płyta drukowana, kod 924046



Rys. 4. Wewnętrzna architektura mikrokontrolera SAB80C535 (dzięki uprzejmości firmy Siemens).

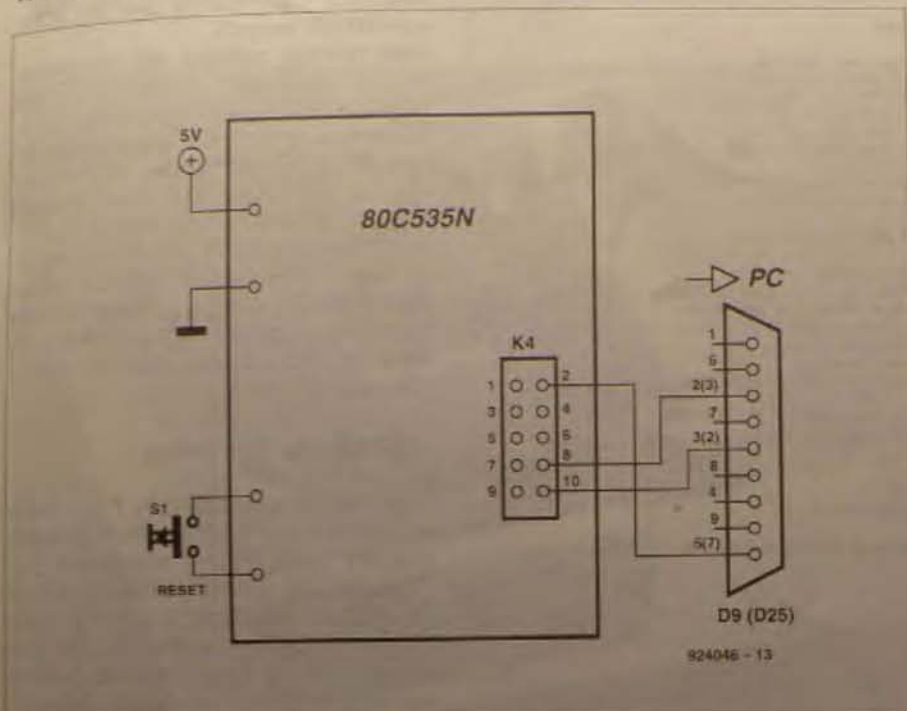
i VAGND. Jeśli zamontowano zwory JP3 i JP4, wzorzec tworzony jest z napięcia zasilania +5V, którego dokładność w większości przypadków jest wystarczająca. Do pomiarów wymagających "wyciśnięcia ostatniego bitu rozdzielczości konwertera" zaleca się używanie zewnętrznych źródeł wzorcowych. Jeśli takie źródło jest wykorzystywane, należy pominąć zwory JP3 i JP4 i do wyprowadzeń 7 i 9 złącza K4 dołączyć wzorzec zewnętrzny. Ważne jest oczywiście, aby nie przekroczyć ograniczeń określonych dla zewnętrznych napięć wzorcowych. Np.

Główne cechy 80C535

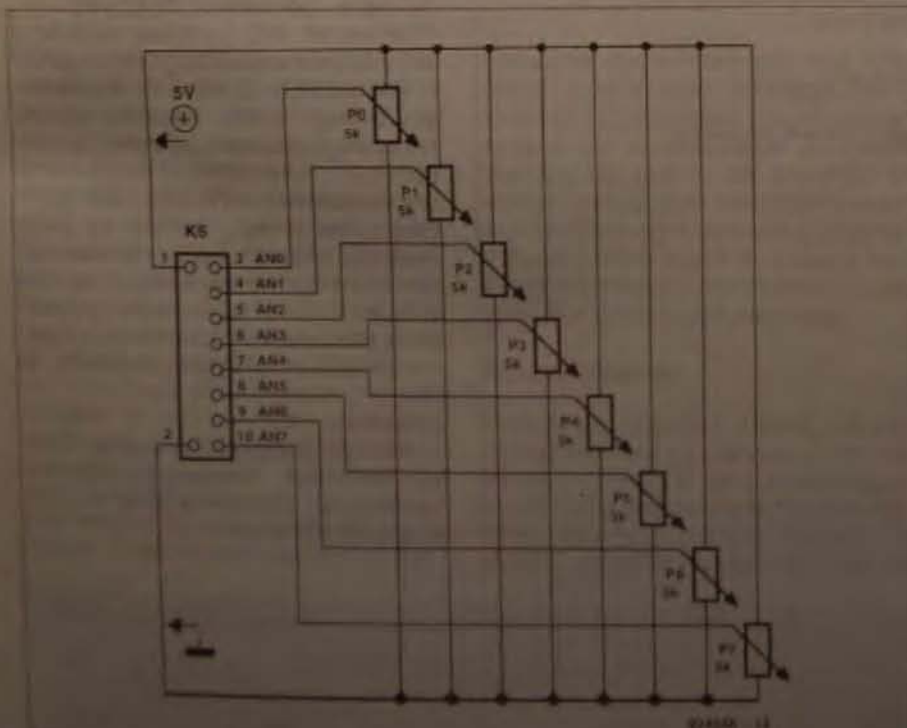
- Zgodność programowa z 8051
- 256 bajtów wewnętrznej pamięci RAM
- Trzy 16-bitowe układy czasowe (ang. timer)
- Ośmiem wejść analogowych
- Przetwornik A/C o rozdzielczości 8-bitowej (10-bitowej na drodze programowej)
- Generator prędkości transmisji 4800 i 9600 bodów przy częstotliwości zegara 12MHz
- Cztery 12-bitowe rejestry zapamiętanie
- 12 przerwań o czterech poziomach priorytetów
- Układ czasowy "watchdog"
- Dwa dodatkowe 8-bitowe porty wejścia/wyjścia
- Tryby pracy o obniżonym poborze mocy (power-down i idla)

Zwora	Zwora zamontowana	Zwora niezamontowana
JP1	połączenie V24 z RxD 80C535	zewnętrzny sygnał RxD TTL przez wypr.3 K3
JP2	zezwolenie na redukcję poboru mocy (powerdown)	zewnętrzne, stan wysoki: redukcja poboru mocy zablokowana
JP3	połączenie VAREF z +SV	wzorzec zewnętrzny poprzez k.7 K3
JP4	połączenie VAGND z GND	zewnętrzna masa analog. poprzez k.9 K3

Tab. 2. Funkcje zwor.



Rys. 5. Połączenie interfejsu szeregowego do portu RS232 komputera PC.



Rys. 6. Ośiem napięć analogowych dołączonych do wejść analogowych komputera. P0-P7. Regulację potencjomierzów sprawdza się program testujący podany na rys. 7.

VAREF nie może się różnić od napięcia zasilania o więcej niż 5%, podczas gdy napięcie na wejściu VAGND, mierzone w stosunku do potencjału masy, nie może być większe niż 0,2V. Także poziomy wejściowych sygnałów analogowych nie mogą przekroczyć ograniczeń określonych przez VAGND i VAREF o więcej niż 0,2V. Środki te są niezbędne dla zapobiegania przepływowi dużych prądów na liniach wejściowych. W większości przypadków trzeba dołączyć linię VAGND do masy analogowej układu zewnętrznego, którą następnie najlepiej jest połączyć w odpowiednim punkcie z masą cyfrową. VAREF łączy się z biegunem dodatnim zewnętrznego źródła napięcia odniesienia.

Budowa

Mozaikę ścieżek obwodu drukowanego pokazano na rys. 3. Płytkę dwustronną z metalizacją otworów jest dostępna w Dziale Obsługi Czytelników. Jak widać na schemacie montażowym, płytka jest dość gęsto upakowana, należy więc uważnie zamocować wszystkie elementy i bardzo dokładnie polutować, korzystając z lutownicy o małej mocy i precyzyjnym grocie. Zaleca się użycie dobrej jakości podstawek. W zamierzeniach płytka mikrokontrolera miała być mocowana na innej płycie, miniaturowe złącza mogą być więc zastąpione przez mocowane po stronie lutowania igły (ang. pinheader). Jak wspomniano wcześniej, jeżeli używany jest zewnętrzny kontroler sygnału zerowania, elementy C8 i R2 muszą zostać pominięte.

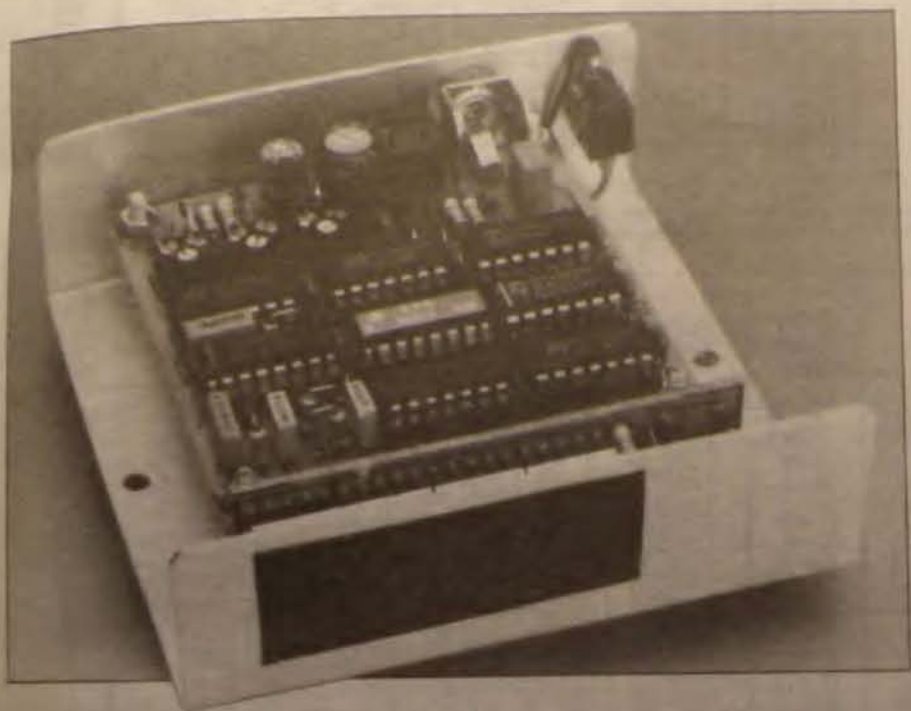
Zgodność!

Jeśli w podstawkę IC3 włożony został EPROM zawierający monitor EMON51, można bez problemu rozpocząć pracę z układem 80C535. Połączenie z portem RS232 komputera PC pokazano schematycznie na rys. 5. Numery wyprowadzeń w nawiasach odpowiadają złączu o 25 końcówkach. Na płytce zamontowano wszystkie zwory. Na początku uruchamiamy na komputerze PC program V24, następnie dołączamy do układu zasilanie. Po naciśnięciu przycisku S1 monitor systemu powinien zgłosić się do PC komunikatem powitania. Jeśli tak się nie stanie, trzeba poszukać błędów. Na końcu pracy mikroprocesora powinien wystąpić czysty sygnał ALE, który można sprawdzić przy pomocy oscyloskopu. Jeśli nie można zaobserwować stabilnego przebiegu prostokątnego, najprawdopodobniej problemem jest uszkodzony lub nieodpowiedni rezonator kwantowy. Należy go wymienić i roz-

***** EASING ASSEMBLER LISTING (B538P1) *****

Rys. 7. Przykładowy program uruchamiający przetwornik analogowo-cyfrowy w układzie 80C55.

AUTOMATYCZNY CZĘSTOŚCIOMIERZ CYFROWY



Skala częstotliwości w generatorach napięć sinusoidalnych i impulsowych czy generatorach funkcji zwykle jest mechaniczna, a jej dokładność wystarcza do wielu zastosowań. Jednakże nie zawsze jest łatwo nastawić wymaganą częstotliwość, nawet jeśli jest indywidualnie wykalibrowana. Nic więc dziwnego, że coraz więcej generatorów zostaje wyposażonych w wewnętrzny częstotściomierz, działający jako skala do odczytu częstotliwości. Współczesna technologia elektroniczna pozwala osiągnąć to całkiem łatwo. Jednakże wbudowywanie częstotściomierza do istniejącego generatora może wywołać nieprzewidziane kłopoty. Na przykład brak miejsca na płycie czołowej może zmusić do ograniczenia liczby cyfr wy-

wielacza (przedstawiany ma tylko cztery) a to z kolei ogranicza zakres pomiaru. Oczywiście rozwiązaniem wydaje się przełączanie zakresów. Niestety, nie jest to tak łatwe jak się wydaje: przełącznik zakresów generatora zwykle nie ma wolnych kontaktów. Najlepiej zatem spełni to zadanie wyświetlacz działający niezależnie od podzespołów istniejącego przyrządu.

Rozwiązanie

Zazwyczaj właściwy zakres odczytu zostaje wybrany za pośrednictwem najstarszej cyfry (lub cyfr) wyświetlacza. Jeżeli liczba jest za duża, sygnał nadmiaru wywołuje zmianę zakresu na wyższy. Jeżeli liczba jest za mała (na

Opisany częstotściomierz o maksymalnej częstotliwości 2MHz doskonale nadaje się do wbudowania do generatora funkcji lub podobnego przyrządu, umożliwiając znacznie dokładniejszy odczyt częstotliwości niż tradycyjna skala.

H. Kuhne

przykład zero), zakres zostaje zmieniony na niższy. Jasne jest, że taki system wymaga czasem kilku pomiarów, zanim zostanie znaleziony właściwy zakres, poza tym monitorowanie najstarszej cyfry jest kłopotliwe z układowego punktu widzenia, a ponieważ układy scalone do częstotściomierzy nie są do tego przystosowane, potrzebne są rozbudowane dekodery. Najbardziej dokuczliwą wadą tej metody jest powolna reakcja na zmiany częstotliwości na wejściu. Oczywiście, jeżeli kręci się pokrętką częstotliwości generatora, chciałoby się ją jak najszybciej ustalić. W opisywanym układzie zastosowano inne podejście. Do wyboru zakresu służy sygnał wejściowy, którego okres zostaje porównany z trzema stałymi czasu RC. Wynik tego porównania decyduje o wyborze jednego z spośród czterech istniejących zakresów. Porównywanie okresu ze stałymi czasu odbywa się co drugi okres sygnału wejściowego. Umożliwia to układowi znajomość częstotliwości wejściowej w każdej praktycznie chwili i jej użycie do wyboru zakresu już na początku pomiaru.

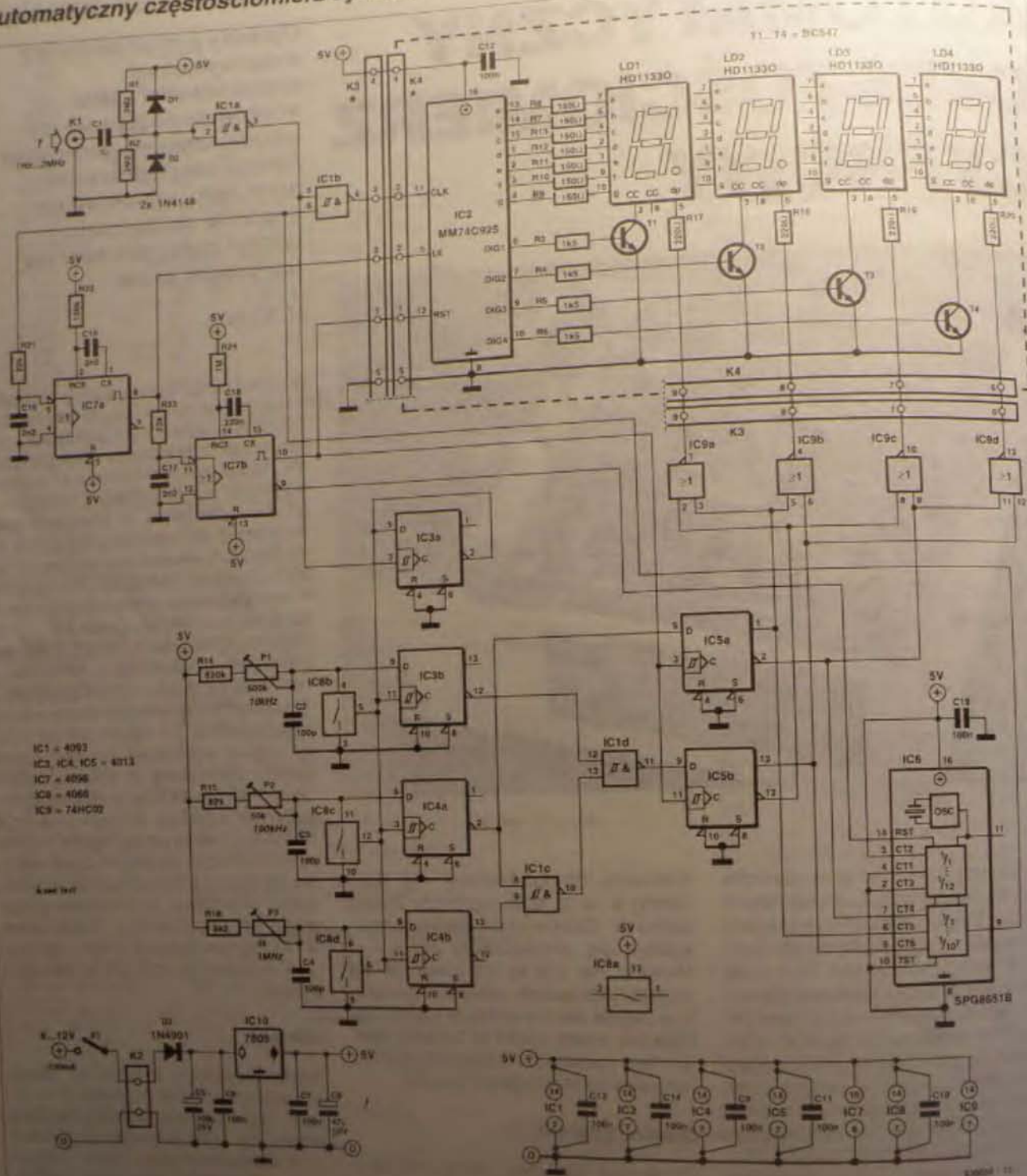
Układ

Sygnał wejściowy dociera do układu poprzez przerzutnik Schmitta IC1a. Użycie tego rodzaju bramki umożliwia pomiar nie tylko sygnałów sinusoidalnych, ale także prostokątnych i trójkątnych. Jeżeli tylko amplituda sygnału jest większa od 1,7V p-p, przerzutnik Schmitta przekształca go w falę czysto prostokątną, która nadaje się do wysterowania wyświetlacza częstotliwości. Na wstępie przerzutnik IC3a dzieli sygnał wejściowy przez dwa, formując impulsy o długości mierzonego okresu, są one kierowane do układu wybierającego zakres, składającego się z przerzutników IC3b, IC4a i IC4b, przełączników elektronicznych IC6b-IC6d i układów RC z kondensatorami C2-C3-C4. Gdy na wyjściu IC3a jest stan wysoki, wacystwie przełącznik

Podstawowe dane techniczne

- 4-cyfrowy wyświetlacz
- automatyczny wybór zakresu
- zakres pomiaru 1Hz - 2MHz
- dokładność: ± 15 ppm odczytu ± 1 cyfra
- drift spowodowany starzeniem: ± 3 ppm/rok
- czułość wejściowa 1,7Vp-p

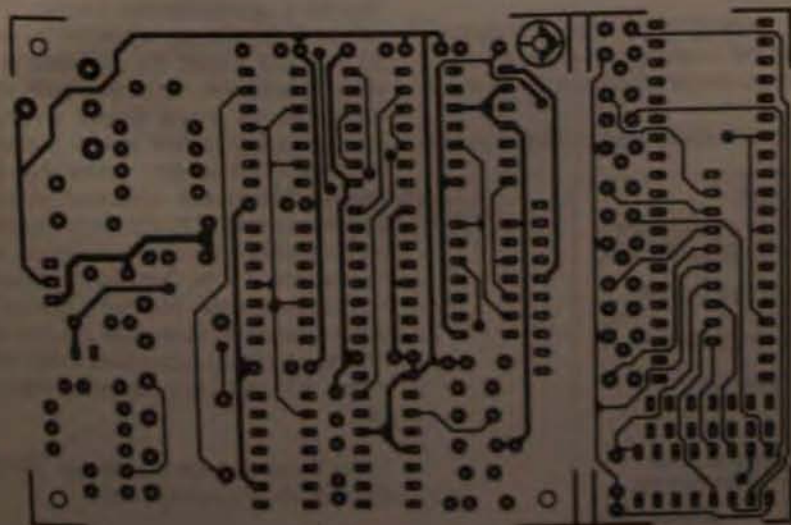
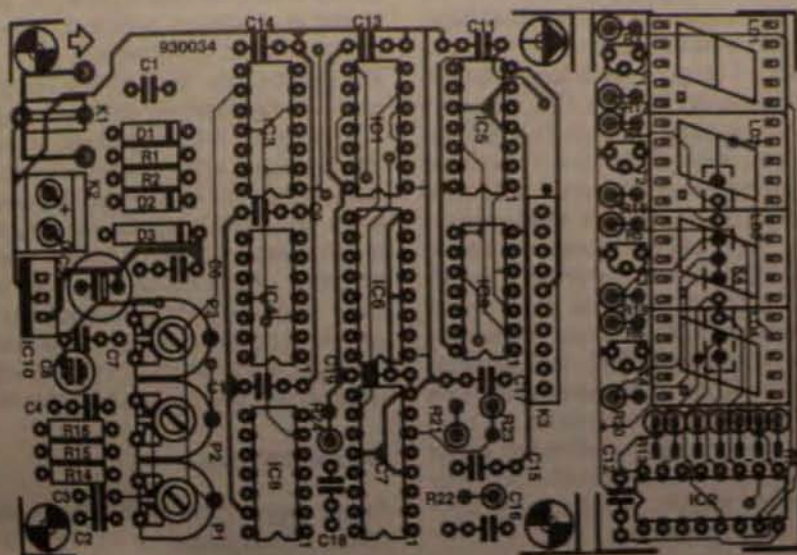
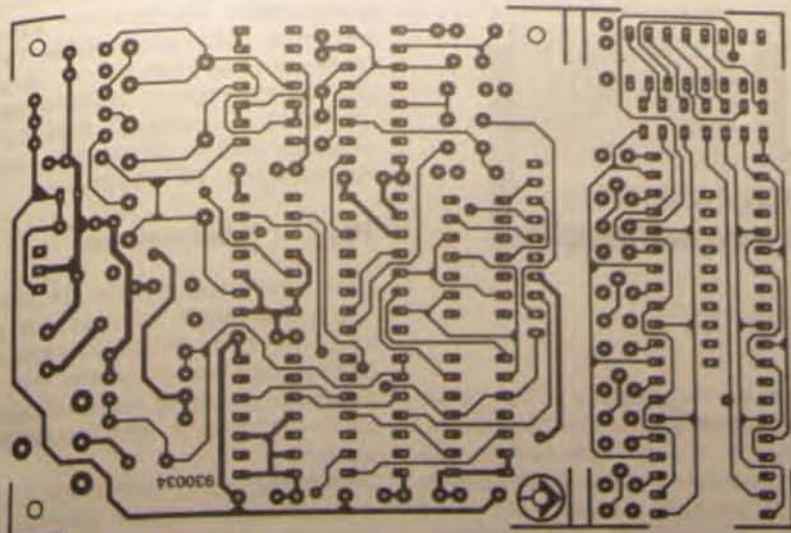
Automatyczny częstotściomierz cyfrowy



Rys. 1. Schemat elektryczny częstotliwościomierza cyfrowego.

wysoki przez wejścia D przerzutników połączonych z każdym z kondensatorów. Na zakończenie okresu, gdy na wyjściu IC3a pojawi się znów stan wysoki, przerzutniki otrzymują sygnał zegarowy wywołujący zapamiętanie informacji o naładowaniu trzech kondensatorów. Poziome wyjściowe tych trzech przerzutników zostają przekazane przez IC1c i IC1d w dwa sygna-

ly sterujące, dokonujące wyboru zakresu. Zakres pomiarowy częstotściomierza jest wyznaczony czasem brankowania, ustalonym przez układ podstawy czasu. W czasie brankowania częstotściomierz zlicza okresy sygnału wyjściowego, czyli największą częstotliwość, która może zostać zmierzona. Funkcje układu podstawy czasu opierają



Rys. 2. Dwustronna płytka drukowana z metalizowanymi otworami, składająca się z dwóch części, w celu zachowania minimalnych rozmiarów.

WYKAZ ELEMENTÓW

Rezystory

R1, R2: 2,2M Ω
R3-R6: 1,5k Ω
R7-R13: 150 Ω
R14: 820k Ω
R15: 82k Ω
R16: 8,2k Ω
R17-R20: 220 Ω
R21, R23: 22k Ω
R22: 100k Ω
R24: 1M Ω
P1: 500k Ω , nastawczy poziomy
P2: 50k Ω , nastawczy poziomy
P3: 5k Ω , nastawczy poziomy

Kondensatory

C1: 1 μ F MKT
C2-C4: 100pF
C5: 100 μ F, 25V
C6, C7, C9-C14, C19: 100nF
C8: 47 μ F, 10V
C15-C17: 2.2nF
C18: 220nF

Półprzewodniki

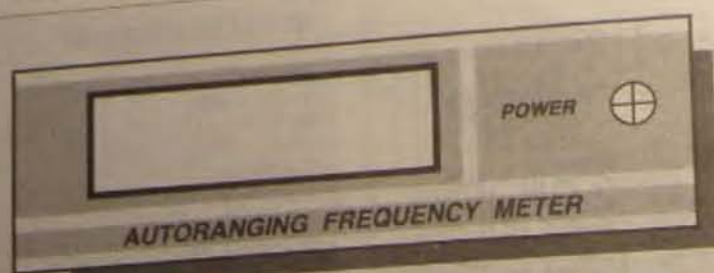
D1, D2: 1N4148
D3: 1N4001
T1-T4: BC547
IC1: 4093
IC2: MM74C925, National Semiconductor
IC3-IC5: 4013
IC6: SPG8651B, Seiko-Epson
IC7: 4098
IC8: 4066
IC9: 74HC02
IC10: 7805
LD1-LD4: HD11330, Siemens

Różne

K1: gniazdo cinch do płytki druk.
K2: złącze śrubowe dwukontaktowe
rozstaw 5mm, do płytki druk.
K3: grzebielnik kłowy, 10-stykowy do płytki
druk. z gniazdem
S1: wyłącznik
obudowa (nie konieczna) EM10/03 (ESM)
płytki drukowana 930034

nia IC6, zawierający oscylator kwarcowy i dający się modyfikować dzielnik. Jest to układ scalony SPG8651B firmy Seiko-Epson, który został opisany wraz z szeregiem innych podobnych układów w artykule opisyującym mini-generator fali prostokątnej¹. Daje się on łatwo programować za pomocą dwóch sygnałów sterujących, pochodzących z układu wybierającego zakres. Jednakże rozpoczęty pomiar nie może zostać zakłócony, bowiem układ wybierający zakres zmieni go na inny. Jest to szczególnie donuczliwe w przypadku częstotliwości bliskich wartościom granicznym zakresu. W celu zapobieżenia takim komplikacjom, pomiędzy wyjście układu wybierającego zakres a wejście układu podstawy czasu wprowadza-

Automatyczny częstotściomierz cyfrowy



Rys. 3. Proponowany wygląd płyty czołowej.

dzono zostały dwa przerzutniki IC5a i IC5b. Przechowują one nowe dane, dostarczone przez układ wybierający zakres, zatrzaśnięte do momentu rozpoczęcia ponownego pomiaru częstotliwości. Przerzutniki te wysterowują IC6 w taki sposób, że zależnie od zakresu pomiaru dostarcza on sygnały bramkującego o długości 1ms ($\geq 1\text{MHz}$), 10ms (100kHz...1MHz), 100ms (10kHz...100kHz), albo 1s ($\leq 10\text{kHz}$). Sygnały wyjściowe IC5a i IC5b sterują również położeniem kropki dziesiętnej na wyświetlaczu LED za pośrednictwem czterech bramek NOR, IC9a-IC9d. Położenie kropki jest dostosowane do wyświetlania częstotliwości w kHz. Czas przełączania bramki jest sterowany bramką IC1b. Gdy bramka jest otwarta, sygnał wejściowy dochodzi do IC2. MM74C925 zawiera czterocyfrowy licznik, zatrzaśk do przechowywania wyniku ostatniego pomiaru i multiplexer/sterownik siedmiosegmentowego wyświetlacza LED. Poza IC2 znajduje się tylko siedem rezystorów ograniczających prąd segmentów i cztery tranzystory sterujące multiplexera. Opis kolejnych faz jednego cyklu pomiarowego pozwoli lepiej zrozumieć współpracę poszczególnych części układu. Cykl zaczyna się i kończy impulsem kasującym, generowanym przez

przerzutnik monostabilny IC7b. Zeruje on licznik w IC2 oraz dzielniki podstawy czasu w IC6. W tym samym czasie kod przedstawiający ostatni zakres pomiaru zostaje wpisany do IC5a i IC5b i przesłany do układu podstawy czasu. Od tego momentu układ podstawy czasu rozpoczyna działanie na nowo. Skoro tylko na jego wyjściu pojawi się stan wysoki, bramka IC1b zostaje otwarta i sygnał wejściowy zostaje dopuszczony do licznika IC2. Po upływie czasu pomiaru na wyjściu IC6 pojawia się stan niski. Bramka IC1b blokuje wówczas sygnał wejściowy i IC2 zaprzestaje zliczania. Sygnał stanu niskiego z wyjścia układu podstawy czasu zostaje na krótko opóźniony przez R21-C15 zanim wyzwoi przerzutnik monostabilny IC7a. Impuls wyjściowy z tego układu wywołuje zatrzaśnięcie stanu licznika w IC2, natomiast tylne (ujemne) zbocze tego impulsu, po krótkim opóźnieniu wprowadzonym przez układ RC R23-C17, wyzwala IC7b, który generuje impuls kasujący, tak kończy się cykl pomiarowy.

Zasilanie

Byłoby najwygodniej, gdyby częstotściomierz był zasilany przez urządzenie, do którego został wbudowany. Chociaż

napięcie zasilające (w razie potrzeby za pośrednictwem IC10) w większości przypadków nie powinno stanowić problemu, pobór prądu (około 100mA) może wywołać trudności. W razie kłopotów można polecić zasilanie częstotściomierza z osobnego zasilacza sieciowego. Jest to rozwiązanie zarówno ekonomiczne, jak bezpieczne.

Płyta drukowana

Chęć utrzymania płytki w jak najmniejszych rozmiarach jest oczywista: częstotściomierz ma zostać wbudowany do istniejącego już przyrządu. Nic więc dziwnego że płytkę zaprojektowano jako dwustronną, z metalizowanymi otworami.

Składa się ona z dwóch sekcji (płytki wyświetlacza i płytki główna) połączonych pod kątem prostym. Zmniejsza to znacznie objętość zajmowaną przez układ. Można oczywiście zmontować je osobno i połączyć obie części przewodem taśmowym.

W przypadku konstrukcji "kątovej" montuje się grzebień kątowy w pozycji K3, pozycję K4 pozostawiając pustą. W razie potrzeby wyświetlacze można zmontować na 40 stykowych podstawkach do układów scalonych. Zwiększa to ich wysokość ponad innymi podzespołami i umożliwia wsunięcie w otwór płyty czołowej. Po zmontowaniu obu płytek grzebień wsuwa się w otwory K4 płytki wyświetlacza. Kontakty są zabezpieczone przez metalizację otworów.

Sprawdzenie

Przed włączeniem przyrządu ślizgacze trzech potencjometrów P1, P2 i P3 należy ustawić w skrajnym lewym położeniu. Następnie przyłączyć do wejścia sygnał o częstotliwości 9.5kHz. Obserwując napięcie na wyprowadzeniu 13 IC3 powoli kręcić P1. Ustawienie będzie poprawne, gdy napięcie nagle wzrośnie. W razie gdyby wydawało się, że potencjometr został ustawiony za daleko, cofnąć go i powtórzyć ustawienie. Następnie wykonać to samo z potencjometrem P2 przy częstotliwości 95kHz, mierząc napięcie na wyprowadzeniu 1 IC4. Ostatnią regulacją to P3, częstotliwość 950kHz i pomiar na wyprowadzeniu 13 w IC4. Na tym kończy się regulacja, ponieważ układ stale czasu IC6 jest wyregulowany fabrycznie.

Mini Square-wave Generator. Elektor Electronics, February 1993.

**DoB
ELECTRONIC**



Czas z dokładnością 1s na 1min lat, czyli:

- gotowa, cyfrowe i analogowe zegary DCF-77,
- odciski DCF-77 U 2775 B SMD i UE 2125 SMD,
- płytki z UE 2125 SMD,
- zegary DCF-77 do PC XT/AT, Amiga i C64/128 gotowa i do samodzielnego montażu

A także zwykłe i SMD:

elementy dyskrejne, triowy i cyfrowe układy scalone, mikroprocesory, pamięci, optoelektronika, potencjometry, złącza, przekładniki, narzędzia i in.

Kart i detal.

**Wyłączenie
no zamówienia.**

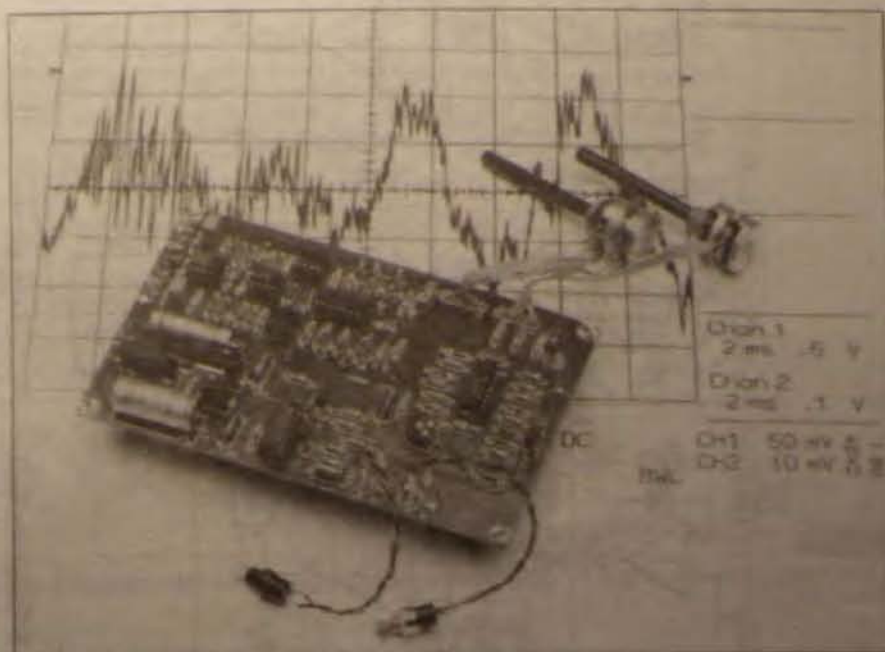
Wszystkie adresowane: **DoB ELECTRONIC S.C.**
00-628 Warszawa, ul. Marszałkowska 21/25 m 50
tel/fax: 25 35 64, godz. 8.30-16.30

Efekt uzyskiwany w tym wzmacniaczu polega na dodawaniu wysokich harmoniczných do sygnału muzycznego. Zwiększa to proporcję wysokich harmoniczných w całym spektrum sygnału akustycznego, co sprawia, że dźwięk jest bogatszy i czystszy.

(Oryginalną nazwę tego układu "Harmonics enhancer" należałoby przetłumaczyć jako "wzbogaczacz czy dopalacz harmoniczných", jednak pozostawiamy mniej eleganckie słowo "wzmacniacz" - red.)

M. Eller

WZMACNIACZ HARMONICZNYCH



Niektóre wzmacniacze harmoniczných są zdolne do przetwarzania sygnału tylko jednego instrumentu. Zwykle są to urządzenia monofoniczne, ale można je znakomicie dopasować do instrumentu, którego dźwięk wzmacniają. Często jednak zachodzi potrzeba, aby wzmacniany sygnał był złożony z dźwięków kilku instrumentów. Wówczas trzeba zastosować układ stereo opisany w tym artykule.

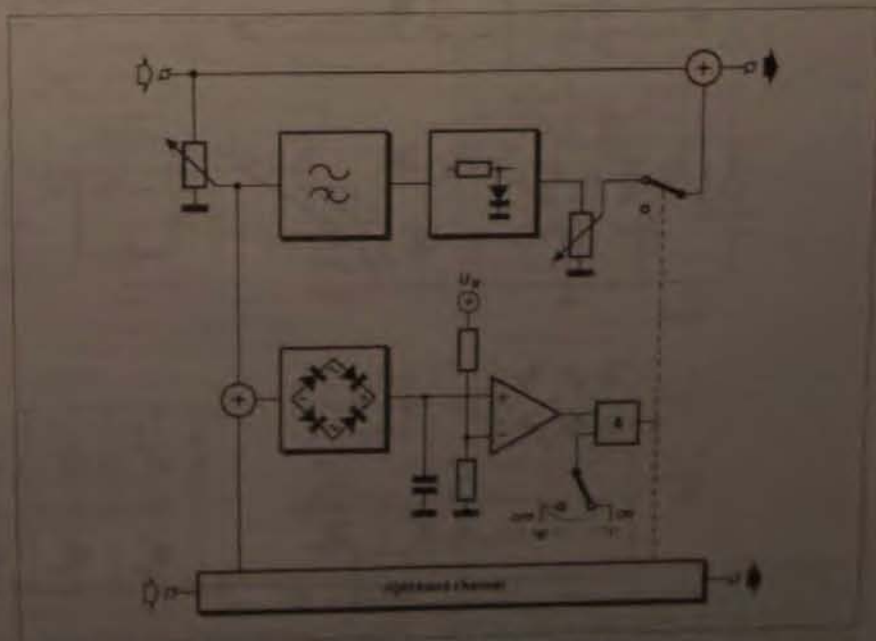
Zasada pracy

Schemat blokowy wzmacniacza jest pokazany na rys. 1. Sygnały są przenoszone z wejścia do wyjścia dwoma torami: bezpośrednio oraz przez filtr górnoprzepustowy (trzeciego rzędu) z układem obciążającym. Częstotliwość progowa filtru wynosi 3,2 kHz, co w większości przypadków jest wystarczające dla uniknięcia oddziaływania tego układu na podstawowe częstotliwości instrumentów. Co więcej, jest to górna granica widma sygnałów, w którym ucho ludzkie jest najbardziej czułe na zmiany.

Chociaż wzmacniacz harmoniczných nie daje tak znaczących efektów, jak np. fuzz (w gruncie rzeczy jego działanie jest dość delikatne), odfiltrowane wysokie harmoniczne są drastycznie zwiększone przez układ obciążający.

większa część dodatnich połówek przebiegu jest odcięta. Na stopień zniekształceń ma wpływ wahanie się poziomu sygnału. Z powodu zniekształceń cały zakres nowych harmoniczných jest generowany jako dodatek do tych oryginalnych. Wszystkie te harmoniczne

"stare" i "nowe", są dodawane przez potencjometr do oryginalnego sygnału, aby dać w efekcie bogatszy i bardziej czysty sygnał finalny. Ten dodatkowy tor jest włączany lub wyłączany za pośrednictwem układu bramkującego, co zapewnia także mały poziom szumów



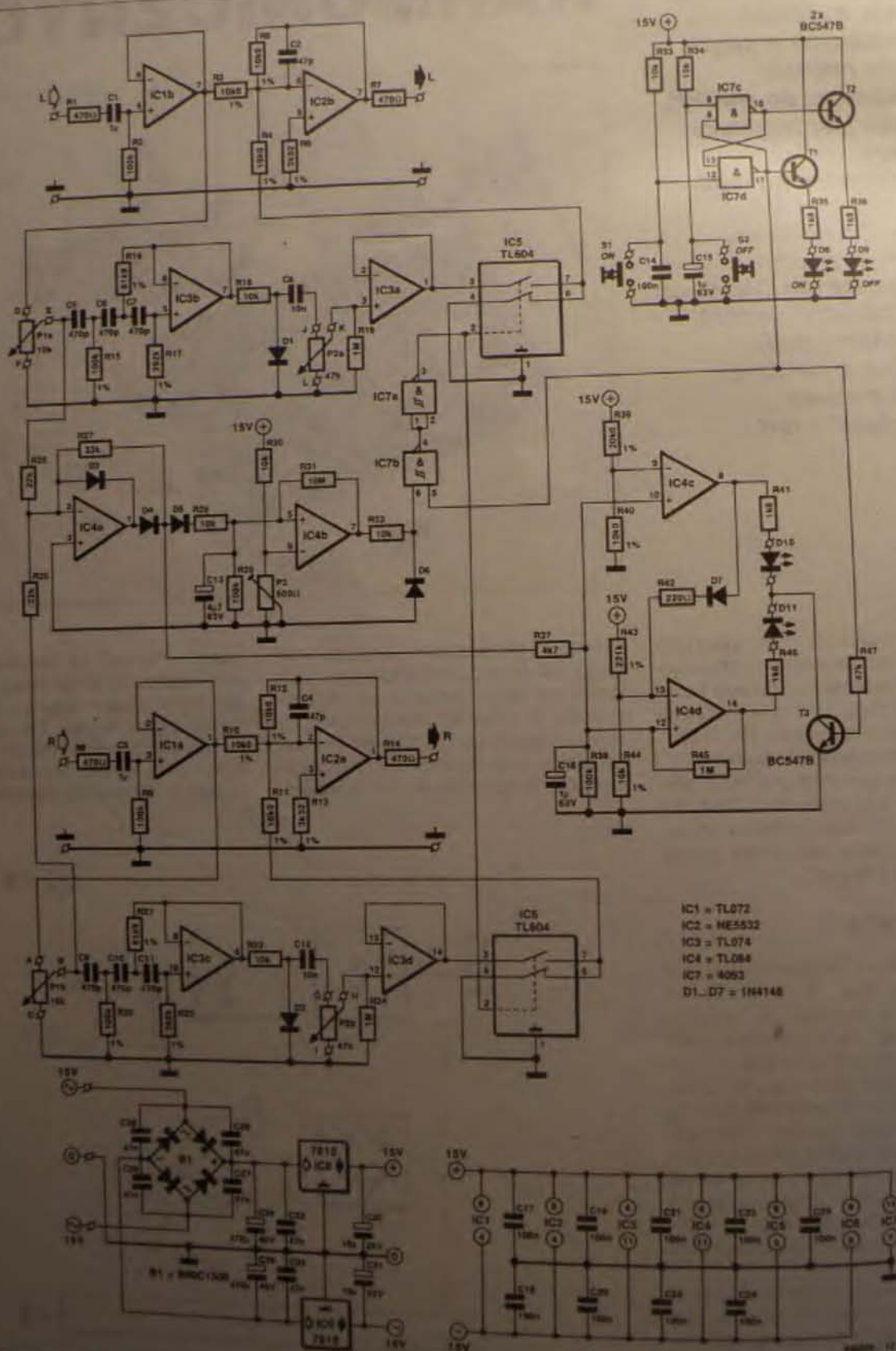
Rys. 1. Schemat blokowy wzmacniacza harmoniczných.

Wzmacniacz harmonicznych

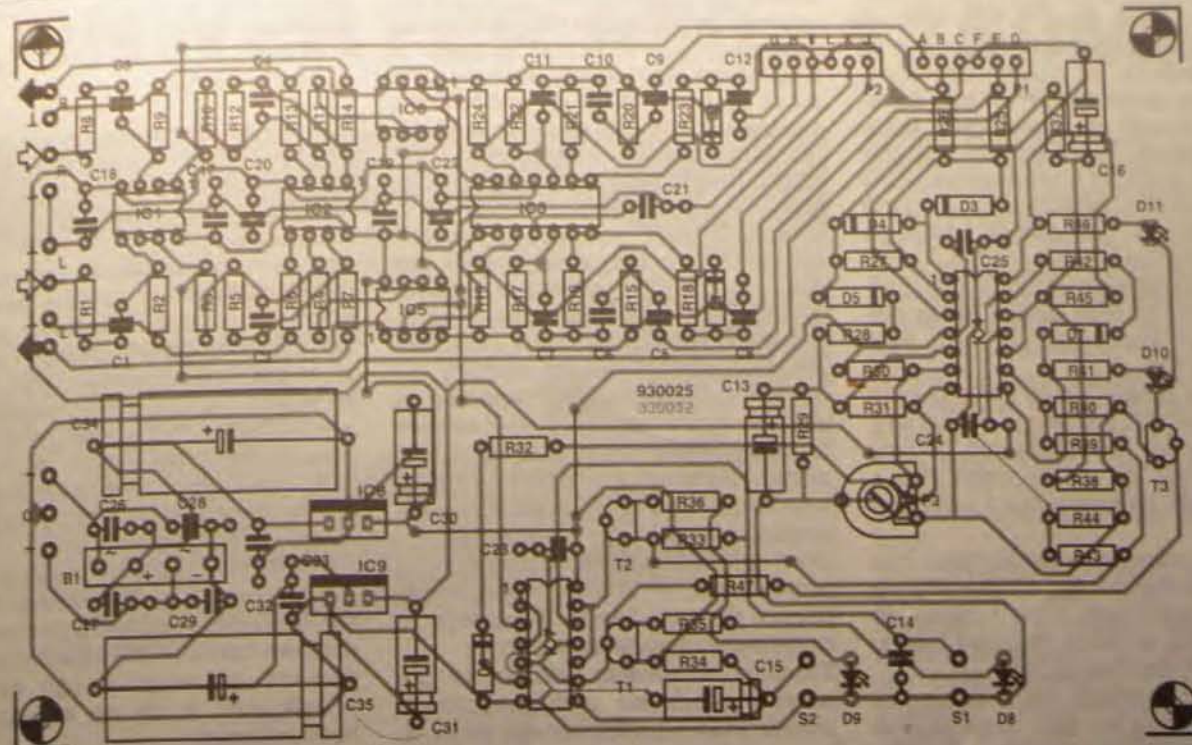
w interwałach. Sygnał podawany na wejście filtru rozgałęzia się równolegle na układ prostownika z kondensatorem buforowym (opóźniającym). Kondensa-

tor zastosowano po to, aby włączanie/wyłączanie toru harmonicznych nie następowało przy każdej zmianie sygnału wejściowego. Występuje tu pewne o-

późnienie pomiędzy wyłączeniem efektu, kiedy poziom sygnału jest zbyt niski, a włączeniem, kiedy poziom sygnału jest dostatecznie wysoki.



Rys. 2. Schemat elektryczny wzmacniacza harmonicznych.



Rys. 3. Rozmieszczenie elementów na płytce drukowanej wzmacniacza harmonicznych. Mozaika ścieżek płytki jest przedstawiona na wkladce.

Opis układu

Jak widać na schemacie elektrycznym wzmacniacza, przedstawionym na rys. 2 jest on zbudowany z kilku układów podstawowych, wykorzystujących wzmacniacze operacyjne. Składa się z wtórników (IC1a, 1b, IC3a, 3d), wzmacniaczy sumujących (IC2a, 2b), filtrów (IC3b, 3c), prostownika (IC4a), komparatorów (IC4b, 4c, 4d), bramki AND (IC7a, 7b), przerzutników bistabilnych (IC7c, 7d) i zasilacza.

Układ bramkujący jest oparty na przerzutniku bistabilnym IC7a, 7b, służącym do włączania i wyłączania efektu; stan układu jest sygnalizowany przez świecenie diod LED D8 i D9. Istniałoby, oczywiście, możliwość zastosowania ręcznego przełącznika, ale układ bistabilny ma tę przewagę, że efekt jest wyłączany automatycznie przy włączeniu zasilania. Stanowi to zabezpieczenie przed niezamierzonym użyciem efektu. Gdybyśmy przełącznik pozostawili w pozycji "włączony". Kondensator C15 sprawia, że przerzutnik bistabilny pozostaje odłączony trochę dłużej, niż wejście "włączony" (w momencie podania napięcia zasilającego). Przerzutnik bistabilny, poprzez tranzystory T1 i T2, steruje dwiema diodami LED. Włączenie efektu jest możliwe przy odpowiednich stanach bramek IC7a i IC7b oraz przełączników analogowych IC5 i IC6.

WYKAZ ELEMENTÓW

Rezystory

R1, R7, R8, R14: 470kΩ
R2, R9, R29, R38: 100kΩ
R3, R5, R10, R12, R40, R44: 10,0kΩ*
R6, R13: 3,32kΩ*
R15, R20: 100kΩ*
R16, R21: 61,9kΩ*
R17, R22: 392kΩ*
R18, R23, R28, R30, R32, R34: 10kΩ
R19, R24, R45: 1MΩ
R25, R26: 22kΩ
R27: 33kΩ
R31: 10MΩ
R35, R36, R41, R46: 1,8kΩ
R37: 4,7kΩ
R39: 20,0kΩ*
R42: 220Ω
R43: 221kΩ
R47: 47kΩ
P1: 10kΩ liniowy potencjometr stereo
P2: 47kΩ liniowy potencjometr stereo
P3: 500kΩ potencjometr montażowy
* rezystory o tolerancji 1%

Kondensatory

C1, C3: 1μF
C2, C4: 47pF
C5, C7, C9, C11: 470pF

C8, C12: 10nF

C13: 4,7μF/63V

C14, C17, C25: 100nF

C15, C16: 1μF/63V

C26, C29, C32, C33: 47nF (ceramiczne)

C30, C31: 10μF/25V

C34, C35: 470μF/40V

Półprzewodniki

D1...D7: 1N4148

D8, D9: diody LED (żółte)

D10: dioda LED (czerwona)

D11: dioda LED (zielona)

B1: B80C1500, mostek prostowniczy

T1...T3: BC547B

IC1: TL072

IC2: NE5532

IC3: TL074

IC4: TL084

IC5, IC6: TL604

IC7: 4093

IC8: 7815

IC9: 7815

Różne

S1, S2: przyciski

płyta drukowana kod 930025

Wskaźnik poziomu pokazuje względną wielkość sygnału podanego do filtru, a nie sygnału wejściowego. Sygnał dla wskaźnika jest pobierany z tego

samego punktu co i dla komparatora napięcia. Wskaźnik pokazuje trzy poziomy: zbyt niski (dwa diody wyłączone), prawidłowy (świeci D11) i zbyt

Wzmacniacz harmonicznych

wysoki (świeci D10). Zbyt niski poziom jest wykrywany przez IC4d i sygnalizowany przez diodę D11. Świecenie tej diody oznacza, że poziom wejściowy, ustawiony przez P1a, P1b, jest dostatecznie wysoki dla prawidłowej pracy wzmacniacza. Jeżeli poziom jest zbyt wysoki, wyjście komparatora IC4c zmienia stan, co powoduje zaświecenie diody D10. W tym samym czasie na IC4d następuje zmiana poziomu (przez D7 i R42) na wystarczający dla zgaśnięcia D11. Te dwie diody LED są sterowane ze wspólnego układu z tranzystorem T3.

W lewym kanale (prawy kanał pracuje identycznie) IC1b separuje sygnał wejściowy, który jest następnie podany bezpośrednio na potencjometr P1a i, poprzez R3, na wzmacniacz sumujący IC2b.

Sygnał z suwaka potencjometru P1a jest podawany na filtr zbudowany na układzie scalonym IC3b i dalej do prostownika, a także na układ bramki i wskaźnik poziomu (IC4a).

Jest to filtr trzeciego rzędu z typową charakterystyką Bessela. Jego wyjście jest podłączone do obwodu obcinającego D1, R18, skąd następnie jest pod-

awane na potencjometr P2a, którym ustawia się poziom zniekształconego sygnału.

Sygnał zniekształcony jest podany przez separator IC3a do przełącznika elektronicznego IC5, za pomocą którego efekt może być włączony lub wyłączony. Zastosowany tutaj rodzaj przełącznika, w przeciwieństwie do przełącznika CMOS, wytrzymuje napięcie zasilania. Z przełącznika sygnał jest podawany na IC2b, gdzie jest dodawany do sygnału oryginalnego.

Układ bramkujący na IC4b, podobnie jak prostownik IC4a, jest wspólny dla obydwu kanałów stereo. Porównuje on poziom napięcia na kondensatorze C13 z poziomem napięcia ustalonym potencjometrem P3. Ponieważ C13 jest ładowany szybciej niż może być rozładowany, układ szybko reaguje na poziom sygnału przekraczający próg przełączania, a trochę wolniej, kiedy poziom sygnału opada. Zapobiega to ciągłemu przełączaniu układu.

Zasilanie urządzenia jest konwencjonalne i składa się z symetrycznego układu $\pm 15V$ stabilizowanego przez 3-wyprowadzeniowe regulatory napięcia, które pobierane jest z podwójnego uz-

wojenia transformatora 15V (po wyprowadzeniu przez mostek B1).

Konstrukcja

Cały układ wzmacniacza zbudowano na płycie drukowanej pokazanej na wkladce. Ma ona wymiary 100x160mm. Montaż elementów nie jest skomplikowany - rys. 3.

Poprawną pracę układu powinno zapewnić ustawienie suwaka potencjometru P3 w jego środkowym położeniu. Kiedy dioda D11 świeci, oznacza to, że poziom sygnału jest wystarczająco wysoki dla uzyskania prawidłowego efektu. Należy się jednak upewnić, że rezystancja potencjometru nie przekracza 400 Ω , ponieważ wtedy poziom przełączania jest wyższy niż ten, przy którym D11 zaczyna świecić.

Kiedy wzmacniacz jest włączony pomiędzy wejście i wyjście panelu miksera, R3 i R10 mogą być pominięte. Dodatkowe harmoniczne są wówczas dodawane do oryginalnego sygnału w mikserze, a nie we wzmacniaczu harmonicznych.



Obudowy metalowe do urządzeń elektronicznych

(ceny z podatkiem VAT)

TYP	A mm	H mm	G mm	Cena zł	TYP	A mm	H mm	G mm	Cena zł	TYP	A mm	H mm	G mm	Cena zł
T 11	100	40	140	55.000	T 82	180	50	160	86.000	O 11	110	54	132	58.000
T 12	100	50	140	56.000	T 83	180	65	160	88.000	O 12	135	54	132	65.000
T 13	100	65	140	58.000	T 84	180	80	160	90.000	O 13	150	54	132	70.000
T 21	120	40	140	58.000	T 85	180	100	160	92.000	O 21	130	65	132	78.000
T 22	120	50	140	60.000	T 86	180	40	190	88.000	O 22	150	65	132	82.000
T 23	120	60	140	65.000	T 87	180	50	190	90.000	O 23	170	65	132	84.000
T 25	120	40	160	66.000	T 88	180	65	190	92.000					
T 26	120	50	160	67.000	T 89	180	80	190	95.000	S 11	120	54	150	66.000
T 27	120	65	160	69.000	T 90	180	100	190	97.000	S 12	120	65	150	68.000
T 28	120	80	160	70.000	T 91	180	50	240	94.000	S 13	120	85	150	70.000
T 31	140	40	140	72.000	T 92	180	65	240	96.000	S 14	120	105	150	73.000
T 32	140	50	140	76.000	T 93	180	80	240	98.000	S 15	120	115	150	75.000
T 33	140	65	140	82.000	T 94	180	100	240	102.000	S 21	120	54	172	76.000
T 34	140	80	140	83.000	T 95	220	50	160	98.000	S 22	120	65	172	80.000
T 35	140	40	160	84.000	T 96	220	65	160	102.000	S 23	120	85	172	82.000
T 36	140	50	160	85.000	T 97	220	80	160	107.000	S 24	120	105	172	84.000
T 37	140	65	160	82.000	T 98	220	100	160	110.000	S 25	120	115	172	86.000
T 38	140	80	160	84.000	T 99	220	50	190	106.000	S 31	170	54	172	79.000
T 41	140	40	190	82.000	T 100	220	65	190	110.000	S 32	170	65	172	77.000
T 42	140	50	190	83.000	T 101	220	80	190	112.000	S 33	170	85	172	83.000
T 43	140	65	190	85.000	T 102	220	100	190	115.000	S 34	170	105	172	85.000
T 44	140	80	190	86.000	T 103	220	120	190	120.000	S 35	170	115	172	86.000
T 45	140	100	190	96.000	T 104	220	50	240	115.000	S 36	170	54	215	85.000
T 51	160	40	180	90.000	T 105	220	65	240	120.000	S 37	170	65	215	87.000
T 52	160	50	180	94.000	T 106	220	80	240	124.000	S 38	170	85	215	92.000
T 53	160	65	180	95.000	T 107	220	100	240	128.000	S 39	170	105	215	95.000
T 54	160	80	180	96.000	T 108	220	120	240	135.000	S 41	230	85	172	108.000
T 55	160	100	180	98.000	T 109	220	50	190	165.000	S 42	230	105	172	112.000
T 56	160	50	190	94.000	T 110	220	65	190	170.000	S 43	230	115	172	117.000
T 57	160	65	190	95.000	T 111	220	80	190	180.000	S 51	230	85	215	118.000
T 58	160	80	190	96.000	T 112	220	100	190	185.000	S 52	230	105	215	122.000
T 59	160	100	190	97.000	T 113	220	120	190	195.000	S 53	230	115	215	128.000
T 61	180	40	160	94.000										

UWAGA: Obudowy typu "T" są oferowane również w wersji profesjonalnej (T+) w cenie wyższej o 20% (w zamówieniu należy podać np. "T 31 +")

Obudowy są sprzedawane w sklepie firmowym AVT - Warszawa, ul. Prosta 69 oraz wysyłane za pobraniem pocztowym. Koszt oparcia i koszty przesyłki wynoszą 10% wartości przesyłki (35.000 zł dla przesyłek o wartości mniejszej niż 350.000 zł).

KONWERTER 950...1750MHz



Czytelnikom, którzy z powodzeniem zbudowali odbiornik VHF/UHF (opisany w EE 1/93), proponujemy dodatkowy moduł konwertera, który umożliwi nasłuch częstotliwości powyżej 900MHz (między innymi pełnego zakresu amatorskiego pasma 23cm, przyszłościowego pasma CB 900MHz, przemienników telefonów samochodowych i telefonów bezprzewodowych bliskiego zasięgu). W artykule zawarty jest także opis wykonania mini anteny dyskowo-stożkowej, łącznie z szerokopasmowym przedwzmacniaczem, zaprojektowanym dla pasma SHF.

B.Romijn

Sercem prezentowanego konwertera jest moduł tunera (głowica) uzyskany z odbiornika telewizji satelitarnej SRB-1 firmy Ferguson. Moduł ten oznaczony jest symbolem "AS SAT 5601". Można także zastosować inny, podobny moduł tunera, jednak po upewnieniu się, że jest on wyposażony we wszystkie niezbędne wyprowadzenia. Moduły telewizyjnych tunerów satelitarnych są produkowane w ogromnej różnorodności wykonania, przy minimalnie tylko różnych parametrach; często mogą być zdobyte za niewielkie pieniądze na giełdach krótkofalarskich lub elektronicznych.

Wejściowa częstotliwość tunera AS SAT 5601 wynosi 950...1750MHz. Wewnętrzny generator jest strojony diodami warikapowymi i pokrywa zakres 1430...2230MHz. Częstotliwość pośrednia wynosi 480MHz i jest pobierana z punktu wyraźnie oznaczonego na module. Ten sygnał może być doprowadzony do wejścia antenowego odbiornika VHF/UHF lub skanera (przestrojenie odbiornika lub skanera trochę wyżej lub niżej stwarza możliwość odbioru częstotliwości powyżej 1750MHz lub poniżej 950MHz). Wykorzystanie odbiornika VHF/UHF pozwala na ciągłe pokrycie częstotliwości od 86MHz do 1800MHz.

Tuner

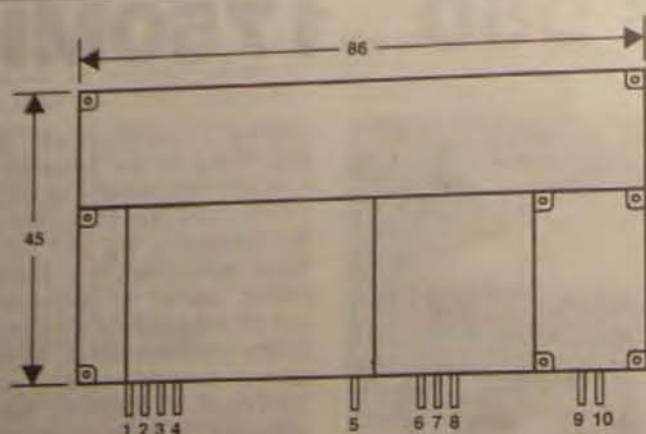
Na rysunkach 1 i 2 pokazano moduł tunera ze zdjętą pokrywą obudowy. Nie wszystkie z dziesięciu wyprowadzeń są wykorzystane w układzie (patrz



Rys. 1. Jedna strona tunera AS SAT 5601 nie ma pokrywy. Wypięciowy sygnał p.c.z. jest pobierany z wyjścia BP03 w pobliżu układu scalonego demodulatora SL1451.



Rys. 2. Druga strona tunera jest częściowo ekranowana za pomocą pokrywki z blachy ocynkowanej. Uwagę zwraca fakt, że większość elementów jest montowana powierzchniowo.



1	INPUT	6	Output Compose VIDEO
2	GROUND	7	+ 15V
3	+ 15V	8	Tuning Voltage
4	Tuning Voltage	9	Output Frequency Divider
5	GROUND	10	+ 5V

Rys. 3. Wymiary obudowy i wyprowadzenia modułu tunera AS SAT 5601. W projekcie nie wszystkie wyprowadzenia zostały wykorzystane.

schemat na rysunku 5). Sygnał wyjściowy p.cz. 480MHz jest pobierany z punktu "BP03", umieszczonego wewnątrz modułu tunera, za pośrednictwem kondensatora sprzęgającego

2,2pF. Do zamontowania modułu tunera nie zastosowano płytki drukowanej - wszystkie elementy są przylutowane bezpośrednio do odpowiednich wyprowadzeń i do obudowy tunera. Tam,

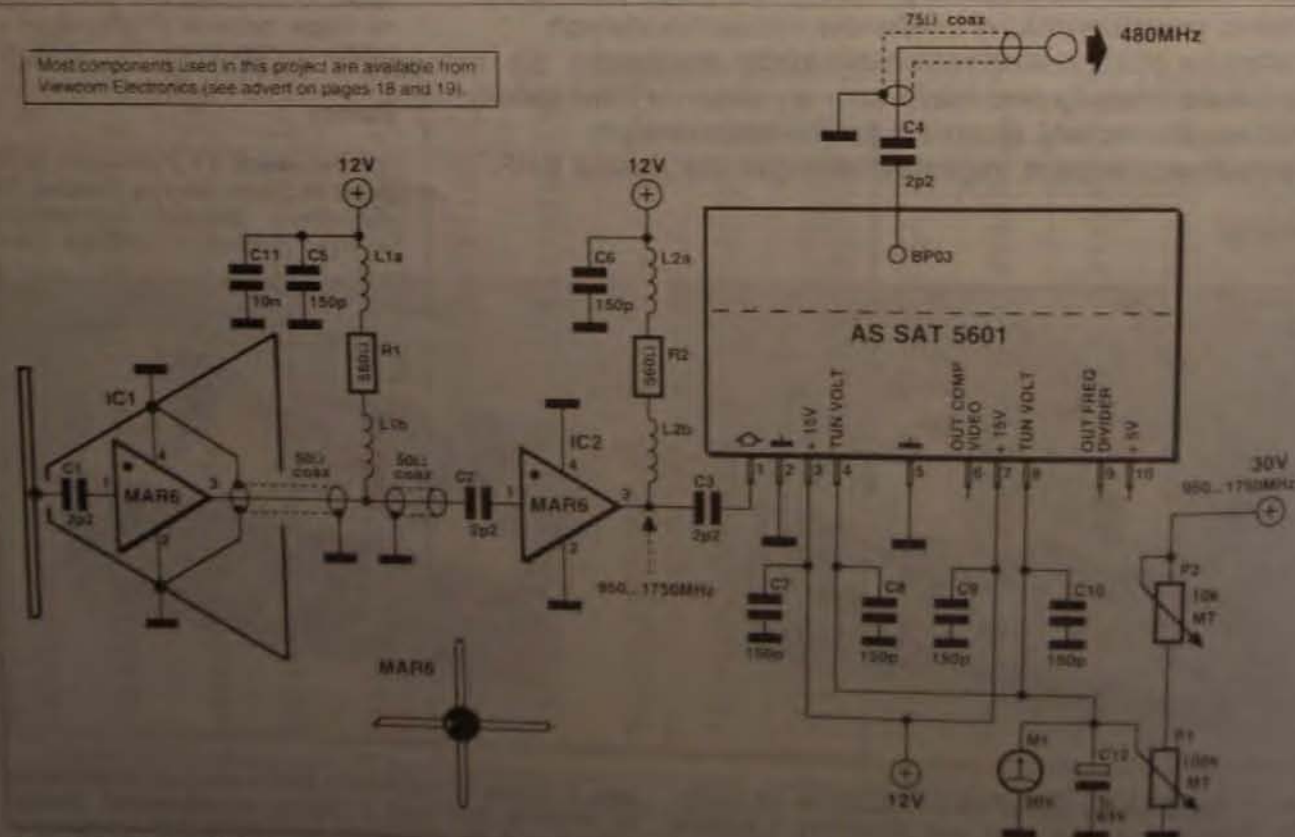


Rys. 4. Monolityczny szerokopasmowy wzmacniacz MAR6 produkcji MiniCircuits Laboratories. Biała kropka na obudowie wskazuje wyprowadzenie zasilanie/wyjście.

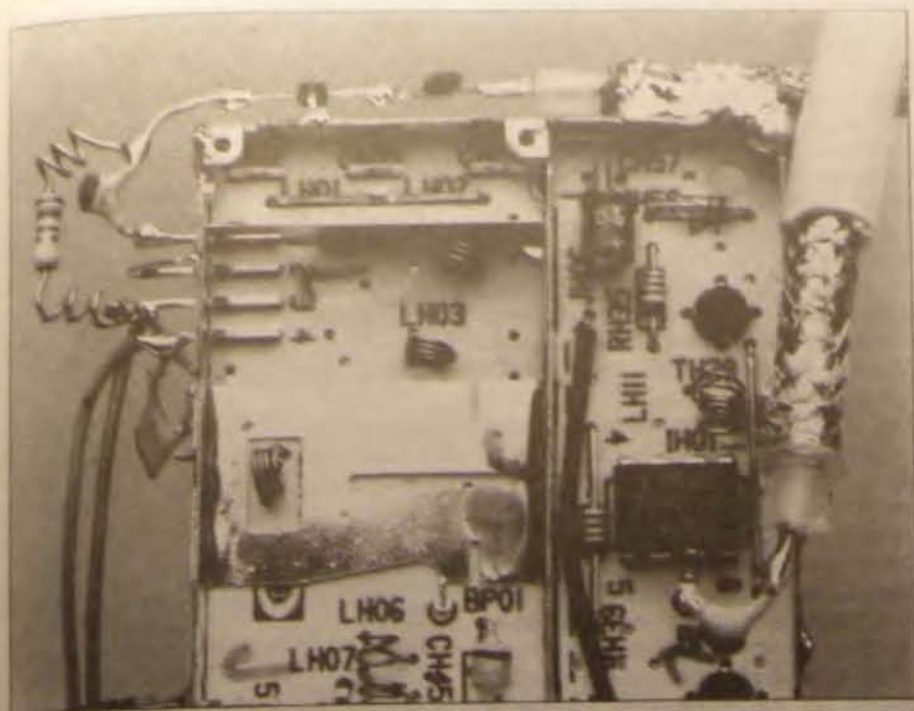
gdzie zastosowano przewody, należy dopilnować, aby były one możliwie jak najkrótsze.

Wyprowadzenia 2 i 5 są uziemione, czyli podłączone do obudowy tunera za pośrednictwem możliwie najkrótszego odcinka przewodu. Wyprowadzenia napięcia zasilania 3 i 7 są zwarte ze sobą. To samo dotyczy napięcia strojenia - wyprowadzenia 4 i 8. Zasilacz tunera i zasilacz napięcia strojenia są omó-

Most components used in this project are available from Viewcom Electronics (see advert on pages 18 and 19).



Rys. 5. Schemat elektryczny konwertera i aktywnej anteny.



Rys. 6. Moduł tunera z elementami wzmacniacza zmontowanymi jako oddzielne podzespoły. Cewki L2a i L2b zostały wykonane z wyprowadzeń rezystora R2.

wione w dalszej części artykułu. Trzy wyprowadzenia tunera nie są wykorzystane: wyprowadzenie 6 (sygnał wizyjny), wyprowadzenie 10 (+5V dla wewnętrznego dzielnika /2) i wyprowadzenie 9 (wyjście dzielnika).

Wzmocnienie

Sygnał z anteny jest podawany na wejście tunera (wyprowadzenie 1) przez kondensator sprzęgający 2,2pF. Ponieważ tuner nie jest wystarczająco czuły, aby mógł być podłączony bez-

pośrednio do anteny, jest sterowany przez dwustopniowy przedwzmacniacz szerokopasmowy, oparty na układach MAR6 (rysunek 4). Jeden stopień przedwzmacniacza jest podłączony do modułu tunera (rysunek 5), drugi zaś jest częścią anteny tarczowo-stożkowej.

Konstrukcja wzmacniacza p.c.z. z układem MAR6 w tunerze jest pokazana na rysunku 6. Wejście układu MAR6 jest oznaczone białą kropką (ukośnie ścięte wyprowadzenie). Wyjście i zasilanie mają wspólną elektrodę, a dwa

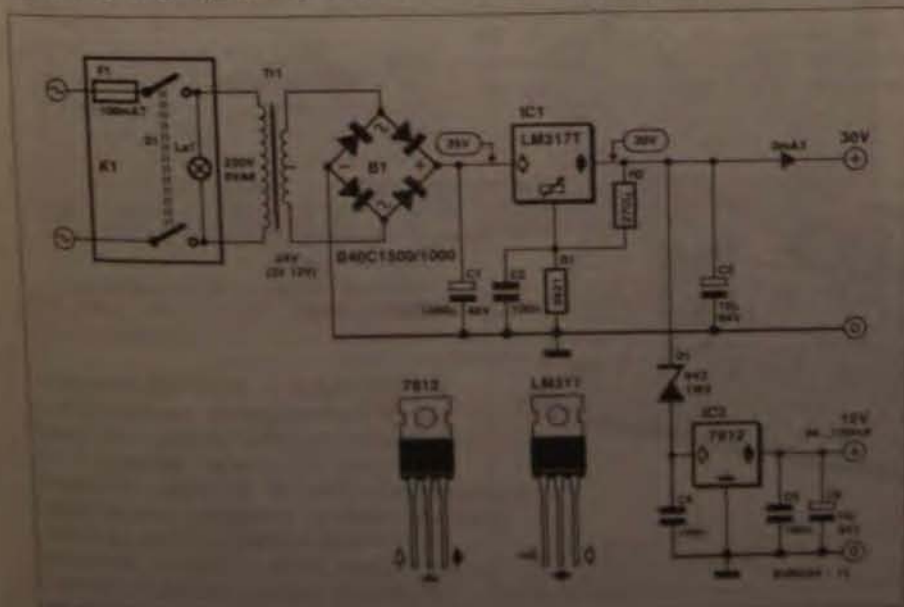
pozostałe wyprowadzenia są podłączone do masy. Są one wygięte w dół i na boki tak, że obudowa MAR6 znajduje się lekko powyżej modułu. Sprzęgający wyjście kondensator C3 - 2,2pF i rezystor R2 są przylutowane do wyjścia MAR6. Wyprowadzenia rezystora R2 są zwinęte trzy razy (na średnicy 1mm) i tworzą dławiki L2a i L2b. Zwoje należy rozciągnąć tak, jak widać na rysunku 6.

Chociaż wejściowy kondensator sprzęgający C2 może być zamocowany bezpośrednio pomiędzy rdzeniem kabla koncentrycznego i wejściową elektrodą układu MAR6, niektórzy będą wolili dokonać tego przyłączenia w punkcie lutowniczym. Można to osiągnąć przez doklejenie do modułu tunera małego kawałka materiału izolacyjnego (veroboard lub podobny) i użycie pojedynczej kropli cyny do połączenia wejścia MAR6 z C2. Następnie w podobny sposób możemy połączyć drugą końcówkę kondensatora C2 z gorącą żyłą kabla koncentrycznego. Oplot wejściowego kabla koncentrycznego jest ostrożnie przylutowany do modułu tunera na odcinku 1-2cm. Drugi koniec kabla koncentrycznego jest podłączony do gniazda wejściowego w.c.z. (N lub BNC) zamontowanego na tylnej ścianie obudowy konwertera. Można tu zastosować zwykły telewizyjny kabel koncentryczny 75Ω. Obwód rezystor-dławik R1, L1 (rysunek 5), przez który jest zasilana antena tarczowo-stożkowa, jest przylutowany bezpośrednio do środkowego wyprowadzenia gniazda wejściowego w.c.z. Cewki L1a i L1b są wykonane w taki sam sposób, jak L2a i L2b (patrz opis wyżej). Kondensatory C5 i C11 są zamontowane możliwie jak najbliższe wyprowadzeń L1a.

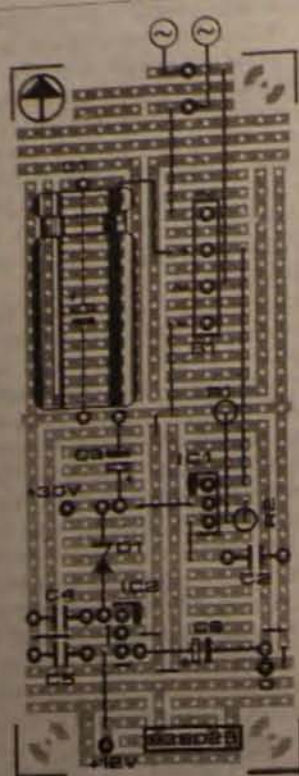
Sygnał wyjściowy p.c.z. jest pobierany z wyprowadzenia "BP03" wewnątrz tunera przez kondensator sprzęgający 2,2pF. Oplot wyjściowego kabla koncentrycznego jest ponownie przylutowany bezpośrednio do modułu tunera (aby uniemożliwić odkształcenie i pęknięcie kruchego kondensatora). Drugi koniec tego kabla jest podłączony do wyjściowego gniazda w.c.z. (BNC lub podobne) zamontowanego na tylnej ścianie obudowy. Oplot jest przylutowany do masy gniazda. I tu również bez problemów można zastosować telewizyjny kabel koncentryczny.

Zasilacz

Zasilanie konwertera jest kompromisowe. Zasilacz (rys. 7) składa się z dwóch układów dostarczających napięcie zasilania 12V i napięcie sterujące (0...30V). Niestabilizowane napięcie na C1 (około 35V) jest zmniejszane do 30V przez pasywny IC1. To statyczny



Rys. 7. Schemat elektryczny zasilacza konwertera.



Rys. 8. Propozycja rozmieszczenia elementów na płycie drukowanej.

wane napięcie jest doprowadzane do wielobrotowego potencjometru strojenia 100k Ω (P1 na rysunku 5) poprzez wielobrotowy potencjometr 10k Ω (P2 na rysunku 5). Napięcie strojenia jest pobierane z suwaka potencjometru P1. Przy zwarciu suwaka do masy (napięcie 0V) pojemność warikapów w module osiąga wartość maksymalną i tuner jest zestrojony (w przybliżeniu) na 950MHz. Przy suwaku ustawionym w drugim skrajnym położeniu, pojemność warikapów jest minimalna i tuner jest zestrojony na 1750MHz. W ten sposób rozpiętość napięcia 30V

pokrywa zakres częstotliwości około 800MHz. Średni zakres przestrajania jest dość duży (27MHz/V), ale zastosowanie wielobrotowego potencjometru zapewnia wystarczająco dokładne dostrojenie do odbieranego sygnału. Zadanie to spełnia potencjometr P1 (precyzyjne dostrojenie).

Zakres częstotliwości 950...1750MHz może być także podzielony, przykładowo, na dziesięć podzakresów po około 80MHz każdy. Można to osiągnąć przez zamontowanie dzielnika napięcia (2 x 10 wyprowadzeń) pomiędzy IC1 i potencjometr 100k Ω .

Aby stłumić szumy towarzyszące przełączaniu i przydźwięk napięcia sieci 50Hz, napięcie strojenia jest dodatkowo filtrowane przez kondensator elektrolityczny C12 (1 μ F) przyłutowany pomiędzy wyprowadzenie 8 tunera i obudowę tunera (masa). Przewód podający napięcie strojenia z suwaka potencjometru P1 do wyprowadzenia 8 tunera powinien być prowadzony możliwie daleko od transformatora zasilacza. W przypadku wystąpienia przydźwięku sieciowego należy spróbować zastosować przewód ekranowany.

Napięcie zasilania 12V jest otrzymywane z układu scalonego 7812 (IC2), na którego wejściu znajduje się dioda Zenera D1 (w celu zredukowania strat mocy). Prąd pobierany z obu zasilaczy jest stosunkowo mały (około 100mA), nie ma więc potrzeby stosowania radiatorów dla IC1 i IC2. Warto dodać, że napięcie na diodzie Zenera spada o około 0,6V poniżej napięcia znamionowego 8,2V - jest to normalne zjawisko towarzyszące nagrzanemu diodzie.

Zasilacz może być zbudowany na płycie uniwersalnej. Proponowane rozmieszczenie elementów na takiej płycie przedstawiono na **rysunku 8**. Ze względów bezpieczeństwa transformator zasilacza jest zamontowany na od-

WYKAZ ELEMENTÓW

Konwerter i antena

Rezystory

R1, R2: 560 Ω

P1: 10k Ω potencjometr wielobrotowy

P2: 100k Ω potencjometr wielobrotowy

Kondensatory

C1...C4: 2pF

C5-C10: 100-150pF

C11: 10nF (ceramiczny lub MKT)

C12: 1 μ F/63V

Cewki

L1, L2: dławiki wykonane własnoręcznie (patrz tekst)

Półprzewodniki

IC1, IC2: MAR6

Różne

moduł telewizyjnego tunera satelitarnego 950...1750MHz, typu AS SAT5600 lub AS SAT5601

kabel koncentryczny telewizyjny 50 Ω lub 75 Ω

2 gniazda w.cz. i 2 wtyki (patrz tekst)

Zasilacz konwertera

Rezystory

R1: 6k Ω 21 1%

R2: 270 Ω 1%

Kondensatory

C1: 1000 μ F/40V

C2, C4, C5: 100nF

C3, C6: 10 μ F/63V

Półprzewodniki

B1: B40C1500/1000

D1: dioda Zenera 8,2V/1,3W

IC1: LM317T

IC2: 7812

Różne

Tr1: transformator zasilacza 24V/350mA

S1: przełącznik zasilania z wewnętrznym oświetleniem neonowym

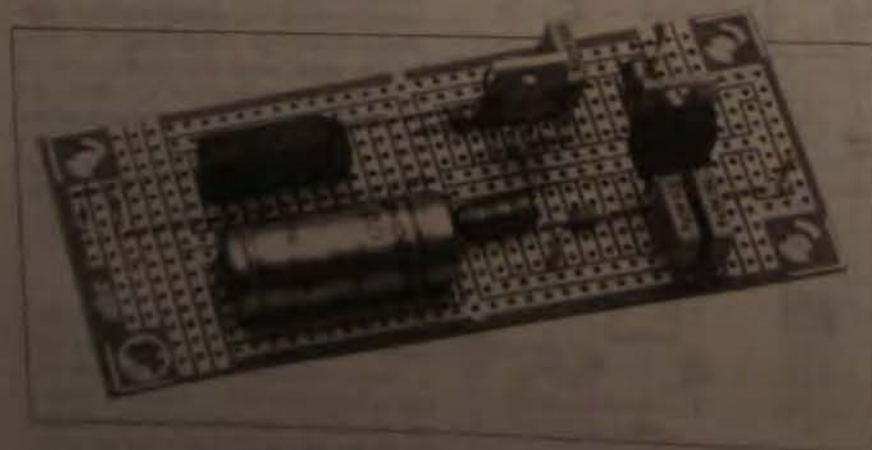
K1: gniazdo podłączenia zasilania z wewnętrznym bezpiecznikiem oraz bezpiecznik 100mA (T)

M1: woltomierz 30V

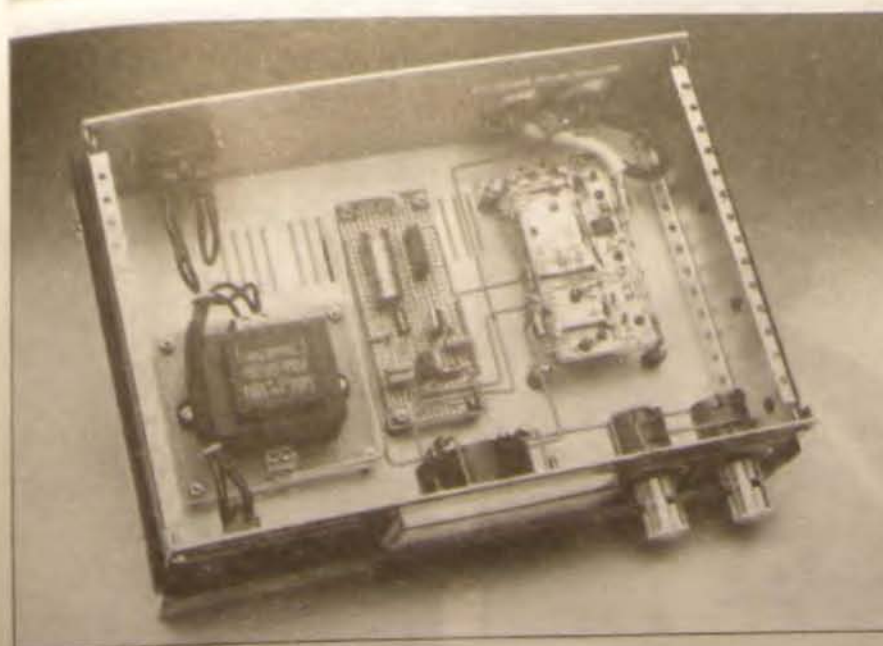
płytki drukowane

metalowa obudowa o wymiarach około 80x250x180mm

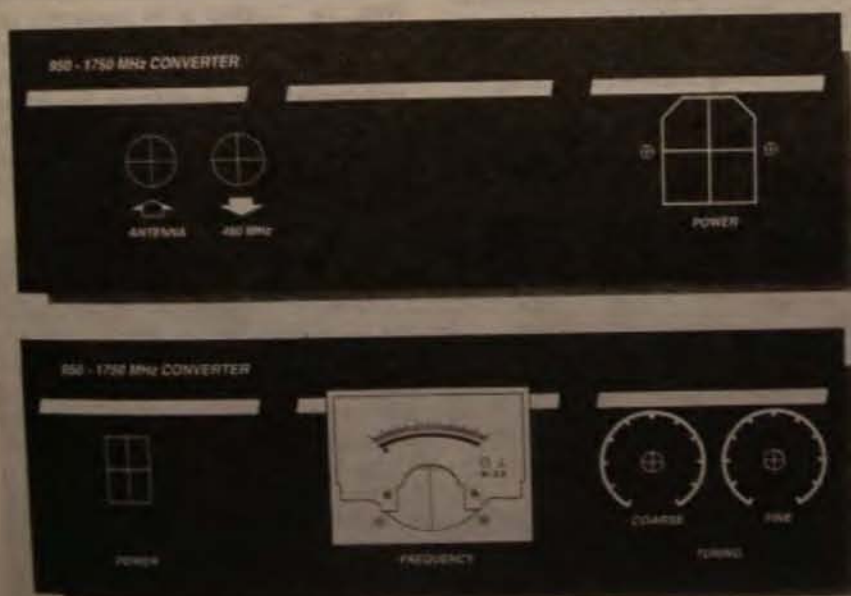
dzielnej płycie z materiału izolacyjnego. Wyprowadzenia transformatora i dwóch zacisków izolacyjnych (sieci zasilającej i napięcia wtórnego 24V) są przyłutowane do płyty. Następnie cała miedź w odległości 1cm od miejsca lutowania została usunięta za pomocą ostrego noża. Połączeń dokonano za pomocą krótkich odcinków przewodu izolowanego. Taki sam rodzaj przewodu został wykorzystany do połączeń



Rys. 9. Zmontowana płytka zasilacza.



Rys. 10. Wygląd zmontowanego prototypu konwertera.



Rys. 11. Propozycja wyglądu przedniej i tylnej ścianki obudowy konwertera.



Rys. 12. Skala z naniesionymi częstotliwościami.

między przełącznikiem zasilania i gniazdem zasilania na tylnej ścianie obudowy oraz zasilacza (rysunek 9). Płyta transformatora jest zamocowana na dolnej płycie obudowy za pomocą czterech tulejek dystansowych o wysokości 10mm. Końcówki przewodów zasilania powinny być zabezpieczone za pomocą krótkich odcinków koszulek termokurczliwych.

Montaż konwertera

Na rysunku 10 pokazano wygląd gotowego urządzenia prototypowego. Jak widać, zastosowana obudowa jest dość obszerna i posiada dużo miejsca dla ewentualnych układów dodatkowych. Proponowany wygląd przedniej i tylnej płyty obudowy przedstawiono na rysunku 11. Na środku przedniej płyty jest zamontowany woltomierz analogowy o zakresie 30V z odpowiednią skalą (rysunek 12), która daje przybliżone wskazania częstotliwości. Jeżeli zastosowano miernik o niższym napięciu maksymalnym (np. 10V), należy szeregowo z miernikiem podłączyć potencjometr montażowy 5...50kΩ i ustawić go na maksymalne wychylenie wskazówki na skali przy 30V.

Szerokopasmowa aktywna antena na pasmo SHF

Znalezienie lub zaprojektowanie odpowiedniej anteny dla konwertera SHF nie jest łatwe z powodu dwóch wymagań: dużej szerokopasmowości (800MHz!) oraz dookólnej charakterystyki promieniowania. Oznacza to, że antena typu Yagi (podobna do tych, jakie wykorzystywane są przez krótkofalowców w paśmie 23cm) jest zupełnie nieprzydatna (chyba że została wykonana na określonej częstotliwości i zamontowana na rotorze). Maksymalny zakres użyteczny anteny Yagi, wykonanej we własnym zakresie, wynosi około 50MHz.

Proponujemy więc antenę tarczowo-stożkową (połączenia dysku i stożka - rysunek 13). Tak jak w przypadku bardziej znanych anten typu ground plane czy dipol, zakres częstotliwości anteny tarczowo-stożkowej jest określony przez jej wymiary. Zarówno tarcza jak i stożek są wycięte z blachy ocynkowanej lub, w celu uczynienia konstrukcji bardziej wytrzymałą, z mosiądzu. Stożek ma długość równą 1/4 największej długości fali, a średnica tarczy jest równa około 2/3 długości stożka. Antena tarczowo-stożkowa ma właściwości niesymetryczne i impedancję około 50...80Ω. Zakładając, że napięta częstotliwość, która ma być odbierana, wynosi 1000MHz (1GHz, długość fali



Rys. 13. Antena tarczowo-stożkowa zbudowana z koła i półkola. Wygląd przed i po zmontowaniu.

30cm) - stożek anteny musi mieć długość około 7,5cm (1/4 x 30cm), a tarcza około 5cm. Obydwa te wymiary w dużym stopniu ograniczają najniższą częstotliwość, przy której antena tarczowo-stożkowa może być zastosowana, natomiast mają dużo mniejsze znaczenie dla górnej granicy częstotliwości. Teoretyczny stosunek odbieranej najwyższej częstotliwości do najniższej w przypadku anteny tarczowo-stożkowej wynosi 10:1. W praktyce, przy tak dużym zakresie zawsze występują nieregularności charakterystyki impedancji. Wspomniana wcześniej górna granica 2GHz jest określona raczej przez maksymalną częstotliwość wejściową wzmacniacza antenowego, a nie charakterystykę anteny tarczowo-stożkowej.

Zasada działania anteny

Jak już wspomniano, antena dla konwertera 950...1750MHz jest "aktywna", co oznacza, że wyposażona jest w wewnętrzny przedwzmacniacz szerokopasmowy MAR6 (MiniCircuits Laboratories). Prototyp przedwzmacniacza jest pokazany na rys. 14. MAR6 jest zamontowany na małym kawałku płytki z materiału izolacyjnego, którą (tymczasowo) umieszczono wewnątrz stożka. Do wejścia przedwzmacniacza jest przyłutowany kondensator 2,2pF. Drugie wyprowadzenie kondensatora jest przyłutowane do krótkiego odcinka grubego drutu miedzianego, który jest włożony do otworu wypiętego w środku tarczy. Tarcza jest utrzymywana w odległości około 2mm powyżej stożka. Ponieważ płytka przedwzmacnia-

cza powinna znajdować się jak najbliżej wierzchołka stożka, jej górne brzegi można przyciąć lub spiliować pod kątem około 60 stopni. Kondensator 2,2pF zapewnia odseparowanie wejścia przedwzmacniacza MAR6 od masy. Jeżeli potrafimy zapewnić izolację tarczy od stożka (na przykład przez zastosowanie tulejki wykonanej z teflonu) kondensator wejściowy może być pominięty, a tarcza połączona z wejściem MAR6 za pomocą krótkiego odcinka grubego drutu miedzianego. Przedwzmacniacz jest zasilany kablem koncentrycznym. Napięcie zasilania 12V jest podawane z konwertera.

Konstrukcja i strojenie

Zanim zajmiemy się konstrukcją anteny tarczowo-stożkowej, dobrze jest popraczkować na kawałkach kartonu. Na rysunku 15 zostały pokazane wymiary elementów, z których składa się antena: jedna tarcza z blachy ocynkowanej (o promieniu 30mm) oraz półkowa większej tarczy (o promieniu 100mm). W środku małej tarczy należy wywiercić otwór o średnicy 2mm, w środku dużej tarczy - otwór o średnicy 20mm. Następnie przycinamy dużą tarczę na dwie części (rysunek 15). Jedną połowę formujemy w stożek. Robimy to za pomocą okrągłego drewnianego klocka o średnicy 10mm. Otwór w połowie tarczy umieszczamy ponad klockiem. Formujemy blachę w kształt stożka aż do połączenia brzegów. Niższy brzeg stożka jest łatwo ukształtować. Aby upewnić się, że górny koniec jest także okrągły, należy zastąpić drewniany klocek (w odpowiednim momencie) przez

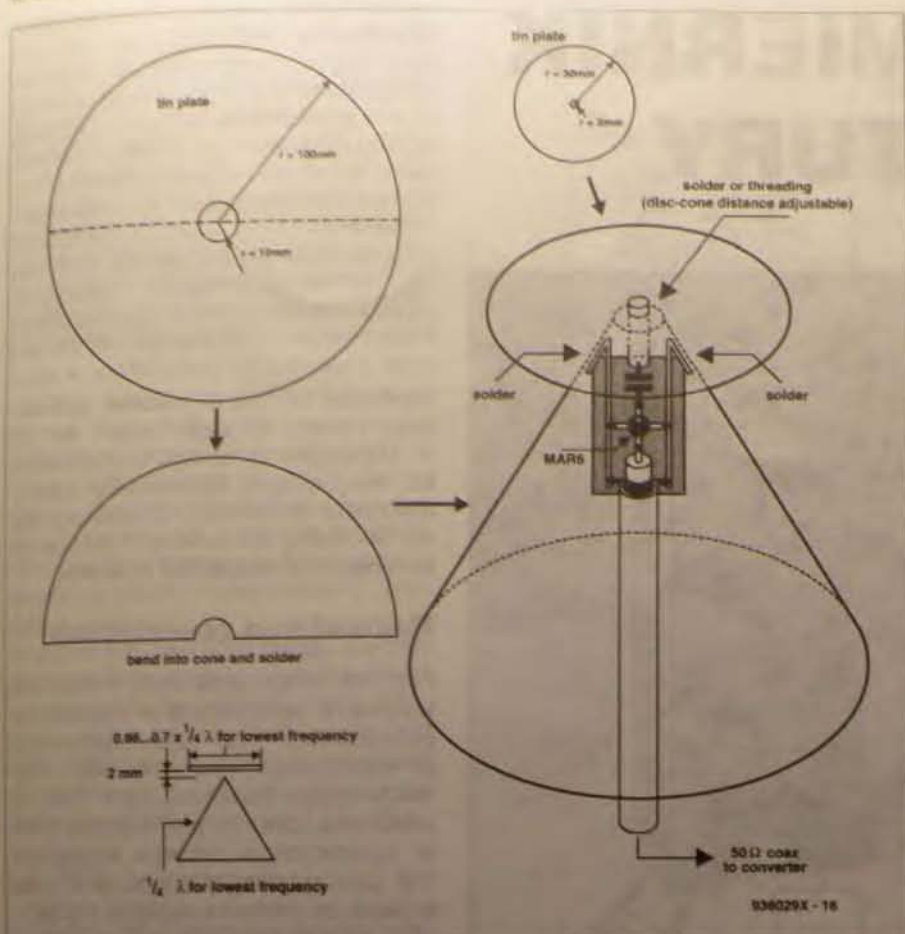


Rys. 14. Trudno w to uwierzyć, ale te dwa podzespoły na płytce tworzą wzmacniacz szerokopasmowy do wykorzystania w antenie tarczowo-stożkowej. Dwa odcinki drutu po bokach płytki służą do tymczasowego umocowania płytki w stożku anteny.

cieńszy pręt, na przykład śrubokręt. Ponieważ blacha na górze stożka będzie trudniejsza do zwinienia ("kółko" zacznie się zamykać) może okazać się niezbędne zastosowanie plastikowego lub gumowego młotka.

Kiedy kształt stożka jest zadowalający, końce blachy ściskamy razem i lutujemy na całej długości. Następnie wykańczamy stożek przez wypełnienie wszystkich zadziórów, nierówności i zackraglenie pilnikiem 10 mm otworu na górze. Ostrożnie montujemy płytkę przedwzmacniacza wewnątrz stożka (rysunek 15) a boczne druty (masa) przyłutujemy do blachy. Drut znajdujący się na wejściu przedwzmacniacza wkładamy w otwór w tarczy. Ustawiamy tarczę tak, aby znalazła się w odległości około 2mm powyżej stożka i lutujemy drut w środku otworu. Kiedy przedwzmacniacz i tarcza są zamontowane, zaleca się wzmocnienie połączenia masy na górze płytki przez przyłutowanie do wewnętrznej strony stożka.

Jeżeli nasze mieszkanie znajduje się na górnym piętrze wysokiego bloku antena nie wymaga już żadnego wykańczania i może być umieszczona



Rys. 15. Wymiary i szczegóły konstrukcyjne anteny tarczowo-stożkowej.

na parapecie okna. W innym przypadku układ anteny musi zostać umieszczony na zewnątrz budynku

i w związku z tym zabezpieczony przed wpływami atmosferycznymi. Jednym ze sposobów jest umieszczenie



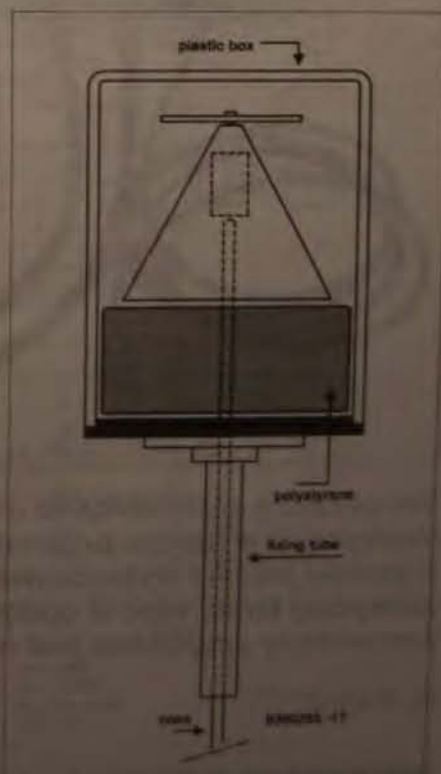
Rys. 16. Płytka przedwzmacniacza jest czasowo przymocowana do górnej części stożka za pomocą dwóch odcinków drutu. Po zakończeniu konstrukcji górną część płytki przylutować bezpośrednio do stożka, a druty usunąć.

anteny w pudełku z tworzywa sztucznego, którego przykładową konstrukcję pokazano na **rysunku 17**. Dolna część pudełka jest przymocowana do metalowej rurki, która pozwala na zamontowanie całości układu na maszcie antenowym. Najlepiej jest zakleić pudełko klejem wodoodpornym. Aby uniknąć skraplania wody, antenę umieszczamy na korku z polistyrenu wpasowanym w pudełko. Wewnątrz pudełka można wkleić plastikowy pręt (przewiercony w celu wyprowadzenia kabla koncentrycznego), służący jako element wspornikowy anteny.

Jeżeli kabel zasilający jest stosunkowo długi, zaleca się zastosowanie w przedwzmacniaczu układu MAR8 (zamiast MAR6), aby zrekomensować większe straty pomiędzy anteną i konwerterem. MAR8 wymaga impedancji wejściowej dokładnie 50Ω, co można osiągnąć poprzez regulację odległości pomiędzy tarczą i szczytem stożka. Jeżeli nie zapewnimy impedancji wejściowej 50Ω, będzie istniało niebezpieczeństwo samowzbudzenia.

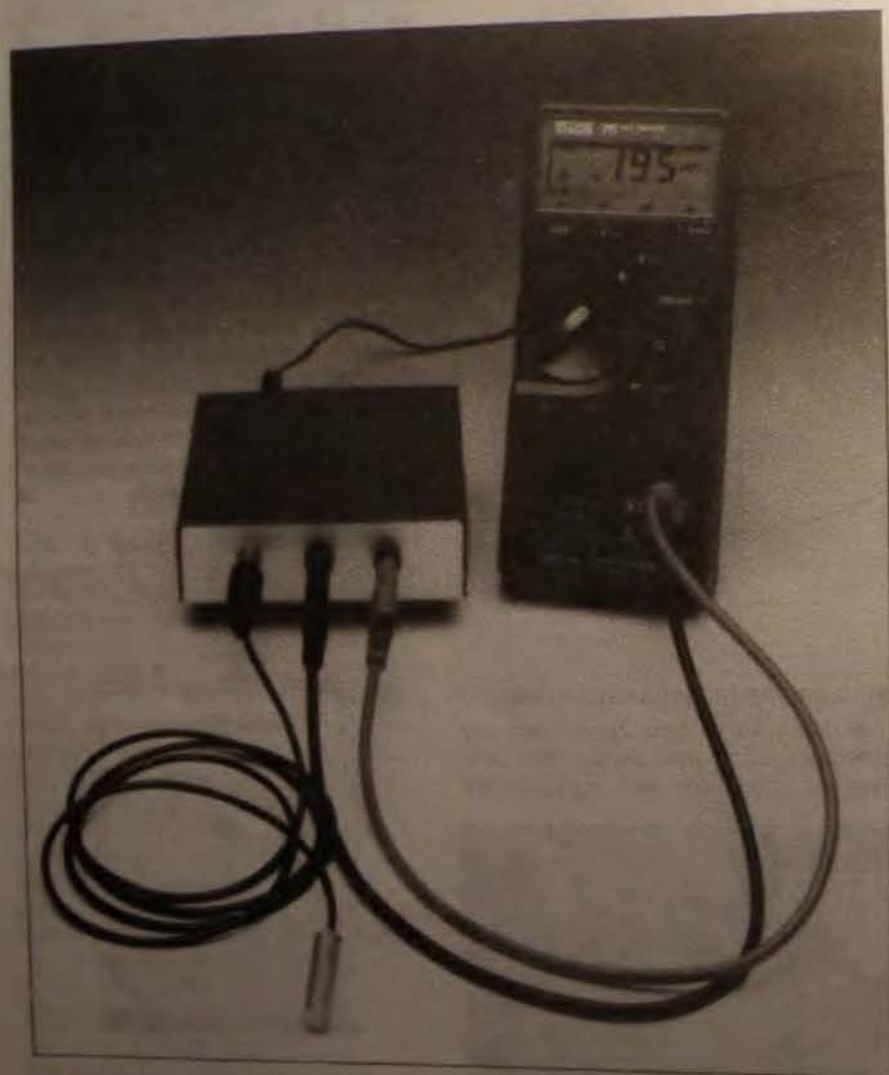
Literatura:

¹ Odbiornik VHF/UHF, Elektor Elektronika, październik 1993



Rys. 17. W większości przypadków antena tarczowo-stożkowa będzie zamontowana na zewnątrz w celu zapewnienia dobrego odbioru sygnałów SHF, które rozchodzą się niemal dokładnie w linii wzroku. Na rysunku pokazano przykład zabezpieczenia konstrukcji przed wpływami warunków atmosferycznych.

LINIOWY MIERNIK TEMPERATURY



Temperaturę elektronicznie można mierzyć za pomocą dostępnych w handlu przetworników temperatura/napięcie. Wysokiej jakości wykalibrowane przetworniki nie są zazwyczaj tanie, więc w opisanym niżej mierniku temperatury czujnikiem jest niedrogi tranzystor krzemowy.

H. Kuhne

Półprzewodnikowy krzem może być używany jako czujnik temperatury w zakresie od -50°C do +150°C. Oprócz kompletnych układów scalonych przeznaczonych do pomiaru temperatury na rynku można znaleźć także specjalne półprzewodnikowe czujniki temperatury. Wszystkie wykorzystują współczynnik temperatury krzemu typu n. Charakterystyki czujników wykonanych z tego materia-

lu mają w większym lub mniejszym stopniu charakter wykładniczy, muszą więc być linearyzowane. Niestety, w wielu zastosowaniach liniowość liczących czujników scalonych nie jest wystarczająca. Dodatkowe trudności mogą powstać w sytuacji, gdy użytkownik chce używać miernika z różnymi czujnikami, ponieważ każdy jest kalibrowany wraz ze swoim miernikiem.

Podstawowe parametry

Napięcie zasilania:	6...12V
Pobór prądu przy 9V:	15mA
Zakres pomiaru:	-20°C...+120°C
Czas reakcji:	<5 sekund
Wpływ czujnika:	<0,2°C
Stabilność:	±0,01°C
Błąd pomiaru (pełna skala):	<0,2°C
Częstotliwość próbkowania:	270Hz
Opóźnienie zasilania:	10s

Trudności te można pokonać podchodząc inaczej do zagadnienia, tak jak w przypadku opisanego tu przetwornika. Jako czujnik zastosowano zwykły tranzystor krzemowy. Charakteryzuje się on dobrą liniowością i można go zmieniać bez rekaliibracji miernika.

Rozważania teoretyczne

Fakt, że temperatura płytki krzemowej wpływa na występującą w niej różnicę potencjałów, jest wykorzystywany w niezliczonych zastosowaniach. Jednakże często zapomina się o tym, że zależność -2mV/K jest słuszną tylko w ograniczonym zakresie temperatur i z pewną tylko dokładnością. Wynika to jasno ze wzoru na napięcie złącza:

$$U_d = E_g/Q - Tk/Q \ln(AT^n/I_F) \quad [V]$$

gdzie U_d jest napięciem złącza, E_g oznacza szerokość pasma wzbronionego, czyli odstęp pomiędzy pasmem walencyjnym a pasmem przewodnictwa w materiale półprzewodnika, Q jest ładunkiem elementarnym ($1,602 \times 10^{-19}C$), k jest stałą Boltzmanna ($1,38 \times 10^{-23}J/K$), T oznacza temperaturę, A jest współczynnikiem zależnym od geometrii płytki, $n = 3$ dla złącza p-n w krzemie, a I_F jest prądem przewodzenia w złączu. Dla złącza w krzemie $E_g/Q = 1,1V$. Ze wzoru tego wynika, że zależność napięcia złącza od temperatury jest liniowa tylko wtedy, gdy prąd przewodzenia rośnie wraz z temperaturą (z potęgą n) i stosunek T^n/I_F jest stały. Gdy przez złącze p-n płynie stały prąd, dryf dU_d/dT , czyli dryf współczynnika temperaturowego, jest rzędu -450ppm/K. Dryf ten jest określony przez:

$$d^2U_d/dT^2 = -k(n/TQ) \quad [VK^{-2}]$$

Przykład: bezwzględny błąd pomiaru liniowego miernika temperatury spowodowany niestalością współczynnika temperaturowego, gdy pomiary są dokonywane w zakresie -20...+120°C, dochodzi do 0,5°C. Wartość ta odnosi się do przypadku, gdy miernik został wykalibrowany na podstawie różnicy

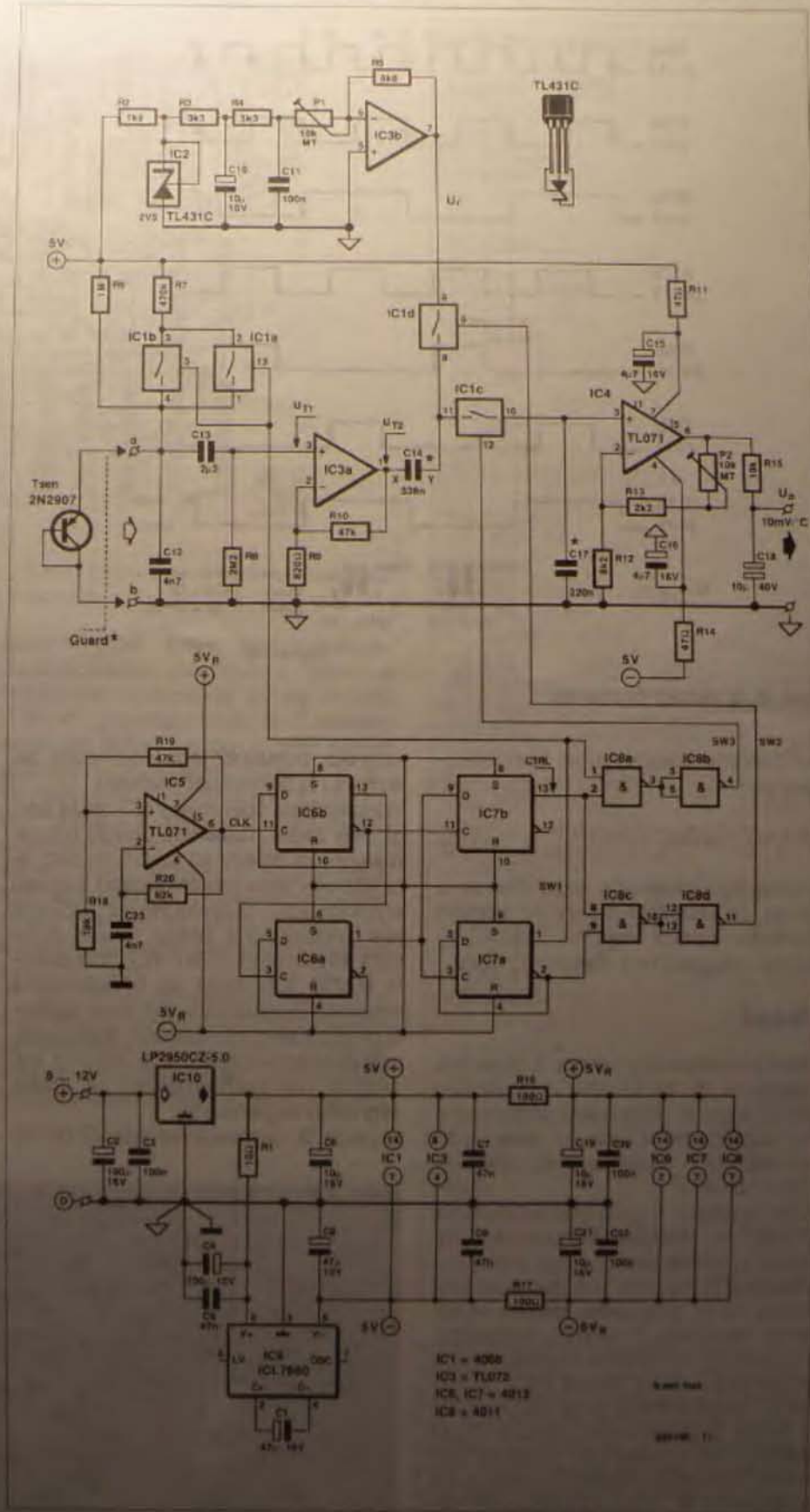
napięcia złącza w zakresie 0...+100°C. Pomimo wielu przeciwnych opinii dowodzi to, że nie można osiągnąć poprawy liniowości stosując źródło prądowe. Znacznie lepszym sposobem jest generowanie prądu za pomocą idealnego źródła napięciowego i rezystora szeregowego. Jak już wspomniano, napięcie złącza p-n spada ze wzrostem temperatury. Wskutek tego wzrasta prąd w złączu i to poprawia liniowość. Przy oporności 10kΩ i napięciu zasilania 10V dryf wynosi około 400ppm/K. Stała A, która zależy od rodzaju i typu użytego półprzewodnika, powoduje pewne rozrzuty spadku napięcia na złączu p-n i statycznego współczynnika temperaturowego (dU_j/dT). Tłumaczy to, dlaczego miernik musi zostać rekalkulowany po zmianie czujnika. Termometry działające z kilkoma czujnikami są osobno kalibrowane z każdym z nich.

Znacznie lepsze wyniki osiąga się przy zastosowaniu zasady czujnika dynamicznego. Do wyznaczenia temperatury złącza p-n wykorzystuje się w niej temperaturową zależność oporności różniczkowej $r_d (= dU_d/dI_F)$. Stąd, i ze zróżniczkowania wzoru na U_d , wynika:

$$r_d = kT/QI_F \quad [\Omega]$$

Z analizy tego równania wynika szereg interesujących spostrzeżeń: oporność różniczkowa jest wprost proporcjonalna do temperatury złącza p-n; współczynnik proporcjonalności jest wyznaczony przez stałe k, Q i prąd przewodzenia w złączu; E i A nie mają już znaczenia. Jasne jest, że oporność różniczkowa w żaden sposób nie zależy od geometrii kryształu, procesu produkcji i materiału złącza. Trzeba jednak pamiętać, że jest to teoria, a pomiędzy teorią i praktyką istnieją różnice. Jedną z tych różnic jest spowodowana przez nie uwzględnienie oporności własnej materiału półprzewodnika.

Doświadczenia oparte na rozważaniach teoretycznych wykazały, że użyty jako dioda tranzystor wielkiej częstotliwości, o dużym wzmocnieniu prądowym (β), doskonale nadaje się na czujnik. Warto przypomnieć, że oporność strat R_{os} zostaje zmniejszona β -razy. Bardzo ważne jest utrzymanie prądu diody na niskim poziomie, aby oporność bazy rzeczywiście mogła zostać pominięta. Chociaż rozrzut R_{os} nie ma wpływu na współczynnik temperaturowy, wpływa on jednak na mierzone na diodzie napięcie, innymi słowy, rozrzut tej oporności wywołuje wykazywane przez miernik statyczna przesunięcia mierzonej wartości. Dla utrzymania, w miarę możliwości, prądu diody (co ułatwia jego wyko-



Rys. 1. Schemat elektryczny liniowego miernika temperatury.

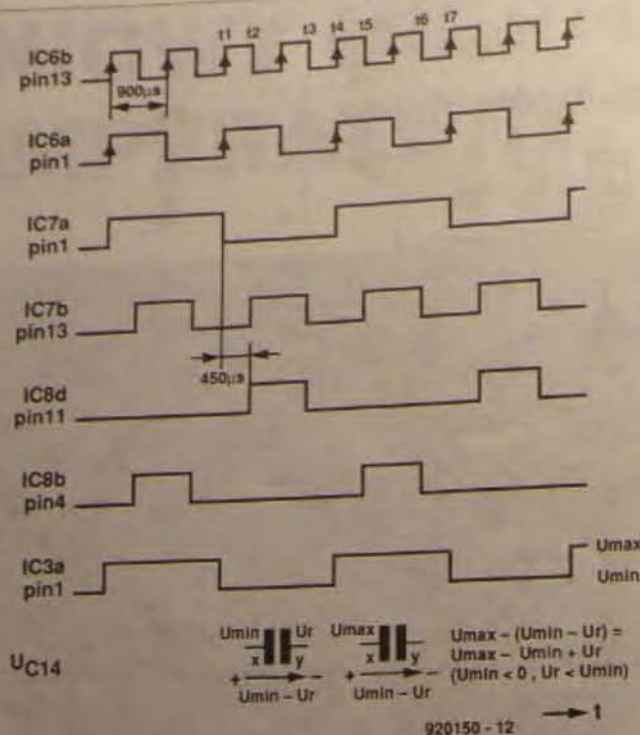
nanie), trzeba porzucić teorię małych sygnałów dla półprzewodników. Będzie więc możliwe wyznaczenie dynamicznego współczynnika z ogólnego wzoru na napięcie złącza:

$$U_j = E/Q - kT/Q \ln(AT^{3/4}I_F) \quad [V]$$

$$\Delta U_j = kT/Q \ln(I_F/I_{F0}) \quad [V]$$

który określa wielkość zmiany napięcia na złączu p-n, wywołaną przez zmianę prądu.

Liniowy miernik temperatury



Rys. 2. Wykresy czasowe.

Dynamiczny współczynnik temperaturowy jest:

$$d\Delta U_d/dT = k/Q \ln(I_{F2}/I_{F1}) \quad [V/K]$$

Ważną konsekwencją tego równania jest to, że wszystko zależy od stałości stosunku dwóch prądów. Stałość tę można osiągnąć bez większego trudu.

Układ

Układ przedstawiony na rys. 1 może być stosowany dla temperatur z przedziału -20°C...+120°C. Sygnałem wyjściowym jest napięcie stałe, liniowo zależne od temperatury, o współczynniku przetwarzania 10mV/°C.

Jako czujnika T_{sen} użyto tranzystora 2N2907 w metalowej obudowie. Ten rodzaj kontaktu termicznego pomiędzy obudową i złączem p-n jest znacznie lepszy niż w przypadku ręcznie wykonanej obudowie z włókna szklanego. Pozwala on na detekcję szybkich zmian temperatury. Bazę zwiiera się z kolektorem bezpośrednio przy tranzystorze i łączy z miernikiem dwużyłowym kablem ekranowanym. Dobrze jest wkleić tranzystor (klejem Superglue lub podobnym) w krótki kawałek rurki metalowej. Wyprowadzenia tranzystora powinny być dobrze odizolowane kośkami izolacyjnymi.

Zaprojektowany układ zapewnia niezależność konwersji temperatury na napięcie od zmian temperatury otoczenia. Umożliwia także używanie długiego przewodu

czujnika, ponieważ jego pojemność nie wpływa na dokładność pomiaru.

Wzmacniacz operacyjny IC5 służy jako główny zegar. Działanie układu pomiarowego nie zależy od częstotliwości, ani kształtu jego prostokątnego sygnału wyjściowego. Częstotliwość 2,22kHz jest wyznaczona przez obwód R20-C23. Przerzutniki IC6 i IC7 oraz bramki NAND IC8 służą do kształtowania sygnałów przełączających dwie wartości prądu kolektora czujnika. Wzmacniacze pomiarowe IC3 i IC4 również wymagają nie zachodzących na siebie sygnałów zegarowych. Wyjście Q przerzutnika typu D (IC7a)

steruje połączone równolegle przełączniki elektroniczne IC1a i IC1b. Gdy są one zwarte, to rezystory R6 i R7 zostają połączone równolegle i przez kolektor T_{sen} płynie prąd I_{F2} . Gdy przez następny półokres są otwarte, to przez T_{sen} płynie prąd I_{F1} , wyznaczony przez R6, a nie przez równoległe połączenie R6 i R7. Przy napięciu zasilania 5V oporność równoległego połączenia tych dwóch przełączników wynosi 60Ω. Oporność ta jest pomijalna wobec R7, można więc przyjąć, że:

$I_{F2}/I_{F1} = R6/(R6||R7)$

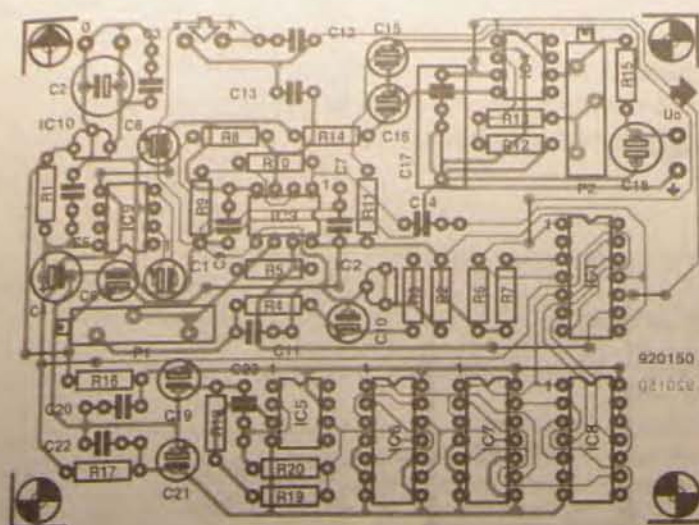
Można obliczyć na tej podstawie, że czułość czujnika wynosi 98,2µV/K.

Ściśle mówiąc, prądy I_{F2} i I_{F1} są również bardzo dokładnie określone przez poziom napięcia przewodzenia T_{sen} . Ponieważ napięcie to jest funkcją prądu przewodzenia i temperatury, można się spodziewać dryfu stosunku dwóch prądów. Niestabilność współczynnika temperaturowego $d\Delta U_d/dT$, powstająca w kierunku przewodzenia, została obliczona za pomocą programu symulacyjnego PSPICE*) i okazało się, że wynosi około -18ppm/K. Wywołany przez nią błąd pomiaru w zakresie -20...+120°C nie przekracza 0,1°C. Jest to błąd, który można zaakceptować. Koszt dodatkowego źródła prądowego, mogącego go zmniejszyć, jest niewspółmierny do osiąganego skutku.

Sygnał prostokątny ΔU_d jest przekazywany z T_{sen} do IC3a przez C13. Wzmocnienie tego wzmacniacza operacyjnego jest wyznaczone przez R9 i R10; przy zastosowanych rezystorach wynosi 58,3. Korekcja napięcia przesunięcia nie jest potrzebna, ponieważ błąd, jaki wywołuje, zostaje w dalszej części układu automatycznie wyeliminowany. Wzmacniany jest jedynie sygnał zmienny.



Rys. 3. Trzy stadia montażu czujnika.



Rys. 4. Rozmieszczenie elementów na płycie liniowego miernika temperatury. Mozaika ścieżek jest pokazana na wkladce.

Sygnal jest jeszcze przetwarzany przez IC4 i przełączniki analogowe IC1c i IC1d, działające jako demodulator synchroniczny. Oznacza to, że wzmacniacz pomiarowy działa jak wzmacniacz różnicowy, tak że napięcie wyjściowe U_o zmienia się wprost proporcjonalnie do temperatury złącza p-n (w °C). Działanie bezdriwowego wzmacniacza pomiarowego jest wytłumaczone na wykresach czasowych, pokazanych na rys. 2. W momencie t1 natężenie prądu spada z wartości $14,1\mu A$ (I_{F2}) do $4,5\mu A$ (I_{F1}), w wyniku czego spada napięcie czujnika. Oznacza to, że napięcie wyjściowe IC3a (U_{i2}) spada do najmniejszego poziomu pomiarowego, U_{min} . Napięcie to ustala się w momencie t2, gdy wyjście IC8d zwiiera przełącznik analogowy IC1d. W wyniku tego kondensator C14 zostaje połączony z ujemnym napięciem odniesienia U_r na wyjściu IC3b. W przeciągu czasu t2-t3 kondensator ten ładuje się do różnicy napięć pomiędzy wyjściami IC3a i IC3b. W momencie t3 przełącznik IC1d zostaje rozarty, a na kondensatorze C14 pozostaje ładunek. W momencie t4 prąd w czujniku zostaje zwiększony do maksymalnego natężenia, a w chwili potem napięcie wyjściowe IC3a osiąga swoją wartość maksymalną U_{max} . W momencie t5 napięcie wyjściowe IC8b włącza przełącznik IC1c, powodując ładowanie C17 do stałego napięcia, które po kilku cyklach jest równe różnicy napięcia wyjściowego IC3a i napięcia

odniesienia U_r ($U_{i7} = U_{max} - U_{min} + U_r$). Inaczej mówiąc, napięcie wyjściowe IC3a jest równe $A1\Delta U_d$, gdzie A1 oznacza wzmacnienie wzmacniacza operacyjnego. Napięcie to jest wzmacniane przez jeszcze jeden stopień wzmacniacza, zatem ostateczne napięcie wyjściowe $U_o = A2(A1\Delta U_d + U_r)$. Wzmocnienie A2 można dobrać w granicach od 1,27 do 2,48 za pomocą P2. Ujemne napięcie odniesienia U_r jest utrzymywane z IC2 za pośrednictwem IC3b. W temperaturze $T=273,15K$ (czyli 0°C), wzorowa dioda Zenera musi dostarczać napięcia U_r .

WYKAZ ELEMENTÓW

Rezystory

R1: 10kΩ
R2: 1,8kΩ
R3, R4: 3,3kΩ
R5: 6,8kΩ
R6: 1MΩ
R7: 470kΩ
R8: 2,2MΩ
R9: 820kΩ
R10, R19: 47kΩ
R11, R14: 47Ω
R12: 8,2kΩ
R13: 2,2kΩ
R15: 10kΩ
R16, R17: 100Ω
R18: 18kΩ
R20: 82kΩ
P1, P2: 10kΩ, nastawny wieloobrotowy

Kondensatory

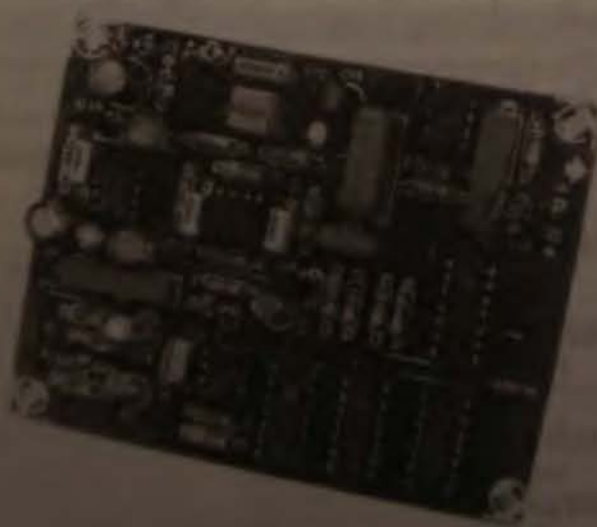
C1: 47μF/16V
C2: 100μF/16V
C3, C11, C20, C22: 100nF
C4: 100μF/10V
C5, C7, C9: 47nF
C6, C19, C21: 10μF/16V
C8: 47μF/10V
C10: 10μF/10V
C12: 4,7nF
C13: 2,2μF
C14: 33nF, polipropylenowy
C15, C16: 4,7μF/16V
C17: 220nF, polipropylenowy
C18: 10μF/40V, bipolarny
C23: 4,7nF

Półprzewodniki

IC1: 4066
IC2: TL431C
IC3: TL072
IC4, IC5: TL071
IC6, IC7: 4013
IC8: 4011
IC9: ICL7660
IC10: LP2950CZ-5.0
Tsen: 2N2907

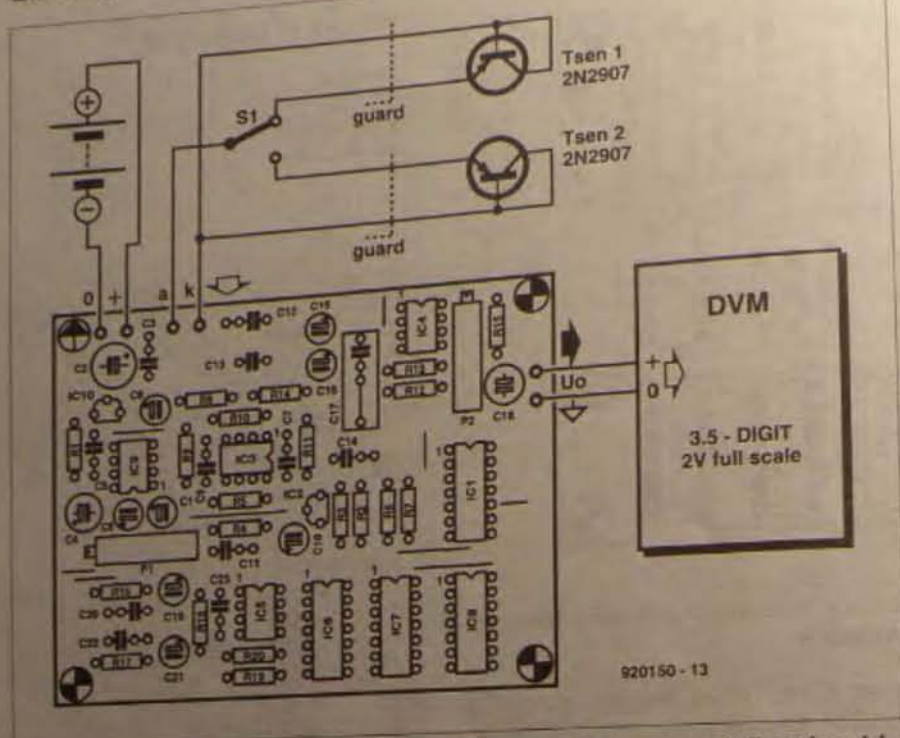
Różne

obudowa 100x100x30mm
płytki drukowana kod 920150



Rys. 5. Fotografia zamontowanej płytki.

Liniowy miernik temperatury



Rys. 6. Miernik temperatury może być sterowany dwoma czujnikami wybranymi przełącznikiem.

$$U_r = -kT/Q \ln(I_{F2}/I_{F1}) A1 = -1,57V$$

P1 służy do ustawiania zera przetworznika t/U , a P2 do kalibracji napięcia wyjściowego.

Wykonanie

Układ zbudowano na płytce drukowanej przedstawionej na rys. 4. Rysunek 5 przedstawia fotografię zmontowanego prototypu. Przy projektowaniu płytki starano się zminimalizować wpływ cyfrowej części układu (IC5...IC8) na część analogową (IC1...IC4). Doprowadzenia zasilania zostały odsprężone filtrami dolnoprzepustowymi R16, R17, C19, C22. Ścieżki doprowadzające sygnały sterujące sekcją analogową z sekcji cyfrowej są otoczone ścieżkami odniesienia dla zmniejszenia wpływu sygnałów cyfrowych na kondensatory C14 i C17 (co obniżyłoby dokładność pomiaru).

Montaż należy zacząć od wykonania zworek, następnie wmontować elementy biernie u na koniec układu scalonego. Czujnik należy połączyć ze zmontowaną płytką dwużyłowym kablem mikrofonowym (100pF/m). Ekranowanie kabla jest bardzo ważne, gdyż znacznie zmniejsza zakłócenia sieci 50Hz.

Do kalibracji miernika najlepiej nadać się 1/2 cyfrowy multimetr o 2V skali. Zero skali ustawia się po zanurzeniu czujnika w dobrze mieszanej wodzie z pokruszonym lodem. Jej temperaturę

ra wynosi 0°C. Za pomocą P1 ustawia się odczyt miernika dokładnie na 0,00V. Następnie należy zanurzyć czujnik we wrzącej wodzie (której temperatura wynosi 100°C przy standardowym ciśnieniu atmosferycznym 1013,25 mbar - zob. Tab. 1). Za pomocą P2 ustawia się odczyt na 1,00V.

Po dokładnej przeprowadzonej kalibracji, w zakresie temperatur -10°C... +120°C błąd nie przekracza $\pm 0,15^\circ\text{C}$. Stosowanie różnych tranzystorów nie zmieniło w widoczny sposób poprawnego działania prototypu, jednak stoso-

Ciśnienie atmosferyczne [mbar]	Punkt wrzenia wody [°C]
910	97,0
920	97,3
930	97,6
940	97,9
950	98,2
960	98,5
970	98,8
980	99,1
990	99,4
1000	99,6
1010	99,9
1013,25	100,0
1020	100,2
1030	100,5
1040	100,7
1050	101,0
1060	101,3

Tab. 1. Punkt wrzenia wody w zależności od ciśnienia atmosferycznego.

wanie tranzystorów o różnych grupach współczynnika wzmocnienia (A, B, lub C) może zwiększyć błąd pomiaru do $\pm 0,2\%$.

* Program PSPICE jest rozwinięciem programu SPICE (Simulation Program with Integrated Circuit Emphasis), który powstał na Uniwersytecie Berkeley w Kalifornii. Został opracowany przez MicroSim Corporation of California i jest sprzedawany przez licznych dealerów oprogramowania.

SE UNIPROD-COMPONENTS Sp. z o.o.

44-100 Gliwice, ul. Sowińskiego 26, tel/fax (0-32) 382034

Oficjalny przedstawiciel firm:

✓ **MAXIM**

Wzmacniacze operacyjne, przetworniki A/D i D/A, filtry analogowe, źródła referencyjne

✓ **SEIKO-EPSON**

Kwarc, oscylatory, zegary czasu rzeczywistego

Pozostała oferta handlowa:

✓ **FUJITSU**

Mikrokontrolery 4- i 8-bitowe

✓ **HITACHI**

Mikroprocesory, pamięci, wyświetlacze LCD

Dystrybutorzy: ELTRON Wrocław, tel. (0-71) 442532

075

Uniwersalny dekodery wyświetlaczy

Projektowane wyświetlacze elektroluminescencyjne do różnych zastosowań jest czasochłonne. W szczególności dekodery znajdujące się pomiędzy sterownikiem a właściwym wyświetlaczem, często musi być wykonywany "na miarę". Główną zaletą przedmiotowego układu jest to, że może być on używany do dekodowania kodów różnych rozmiarów. W tym celu zastosowano w nim EPROM.

Jedną tłumaczy 12-bitowy kod wejściowy na sygnały odpowiednie dla 4-cyfrowego 7-segmentowego wyświetlacza elektroluminescencyjnego o wspólnej anodzie. Cztery cyfry wyświetlane wymagają czterech bajtów w EPROMie. Jeżeli są one przechowywane pod czterema kolejnymi adresami, mogą zostać odczytane przez podanie określonego kodu od 00 do 11 na dwie napędzające linie adresowe A0 i A1. Ponieważ cztery wyświetlacze są multiplexowane, takie sterowanie liniami A0

i A1 umożliwia przeniesienie kodów z EPROMu i ich wyświetlenie. Uwalnia to pozostałe bity adresu EPROMu dla przetwarzanego kodu.

Przykładowo, EPROM został zaprogramowany do tłumaczenia kodu pilota RCS do zdanego sterowania podczerwieni. Odbiornik RCS może zostać bezpośrednio przyłączony do złącza wejściowego K1 dekodera krótkim przewodem łączącym. Kod RCS składa się z pięciu bajtów adresu i sześciobitowego kodu klawisza. W tym przykładzie użyto dwóch starszych cyfr do wyświetlenia adresu, a dwóch pozostałych do wyświetlenia kodu klawisza. Te sześć bajtów danych, pięć bajtów adresu i bit przesunięcia są połączone z liniami adresowymi EPROMu. Bit przesunięcia jest używany do włączenia kropki dziesiętnej prawej skrajnej cyfry, co sygnalizuje, że w próbie został naciśnięty klawisz.

Zawartość EPROMu jest genero-



Wykaz elementów

Rezystory

R1...R8: 220Ω
R9...R12, R14: 10kΩ
R13: 100kΩ
R15, R16: 6 x 100kΩ, SIL

Kondensatory

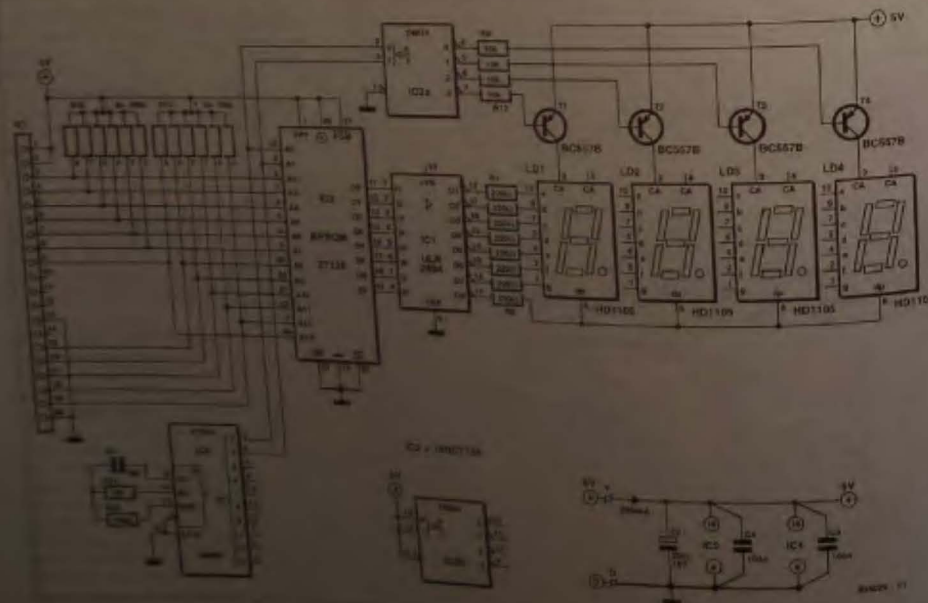
C1: 10nF
C2: 220μF/16V
C3, C4: 100nF

Półprzewodniki

T1...T4: BC557B
IC1: ULN2804
IC2: 74HCT139
IC3: 27128 EPROM (kod 6261)
IC4: 4060
LD1, LD4: HD11050 (Siemens)

Różne

K1: złącze 20-stykowe obudowa płytka drukowana (kod 934029)



Program IR_display_decoder;

uses dos, crt;

var
count : word;
i, j, k, l, m : integer;
g : file of byte;
displayandtoggle : array[0..9] of byte;

const

[The display array contains the databyte for each display value]
display : array[0..9] of byte = (\$3f,\$06,\$5b,\$4f,\$68,\$6d,\$7d,\$7f,\$71,\$81);

begin

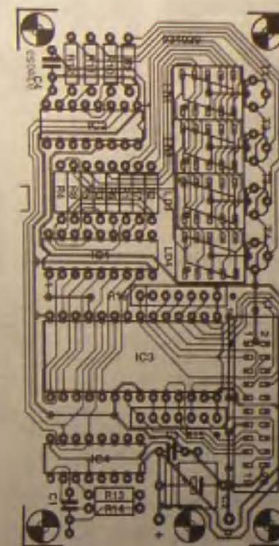
assign (g, 'display.dat'); (Open the desired filename)
rewrite (g);
for i:=0 to 9 do displayandtoggle[i] := display[i] + \$80; (Include toggle bit)
(Calculate readout)
for m:=1 downto 0 do (Toggle led on and off addresses)

(Maximum count is 31 63)
(i and define the received IR address)

for i:=3 downto 0 do
for j:=9 downto 0 do
begin
if (i=3) and (j=9) then i:=1;
for k:=6 downto 0 do (k and i define the received IR key code)
for l:=9 downto 0 do
(Calculate the four display bytes including the toggle bit)

begin
if (k=6) and (l=9) then l:=3;
if m=1 then write (g, displayandtoggle[l]);
else write (g, display[i]);
write (g, displayandtoggle[l]);
write (g, display[j]);
end;

end;
close (g); (Close the destination file)
end.



wana za pomocą przyłączonego programu, napisanego w Pascalu. Przy analizie programu trzeba pamiętać, że stany aktywne sygnału wyjściowego odbiornika podczerwieni są niskie. Oznacza to, że liczenie musi być dokonywane wstecz, czyli adres od 31 do 0 a dane od 63 do 0.

W ten sposób można zamplementować wiele wariantów dekodowania przez prostą adaptację zawartości EPROMu. EPROM, zaprogramowany kodem do RCS, można otrzymać w Dziale Obsługi Czytelników (kod 6261).

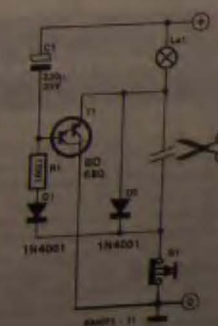
A. Biełens - 934029

076

Opóźnienie wyłączenia wewnętrznego oświetlenia w samochodzie

Układ opóźniający podtrzymuje oświetlenie wnętrza samochodu przez około 5 sekund po zamknięciu drzwi. Wystarczy to do odnalezienia stacyjki (wiele samochodów jest standardowo wyposażonych w oświetlenie zmiar stacyjki).

Otwarcie jednego z przednich drzwi samochodu wywołuje zwarcie wyłącznika (w tym przypadku S1). Wtedy przez lampkę oświetlenia wewnętrznego LT, D2 i S1 zaczyna płynąć prąd. W tym samym czasie kondensator C1 zostaje szybko naładowany przez R1 i D1. Po zamknięciu drzwi S1 zostaje rozwarthy, a napięcie kondensatora C1 utrzymuje T1 w stanie przewo-



dzenia, który podtrzymuje przepływ prądu przez żarówkę. Po chwili kondensator rozładowuje się i T1 zostaje zaskarby.

L. Lemnias - 934070

Wskaźnik kierunku wiatru

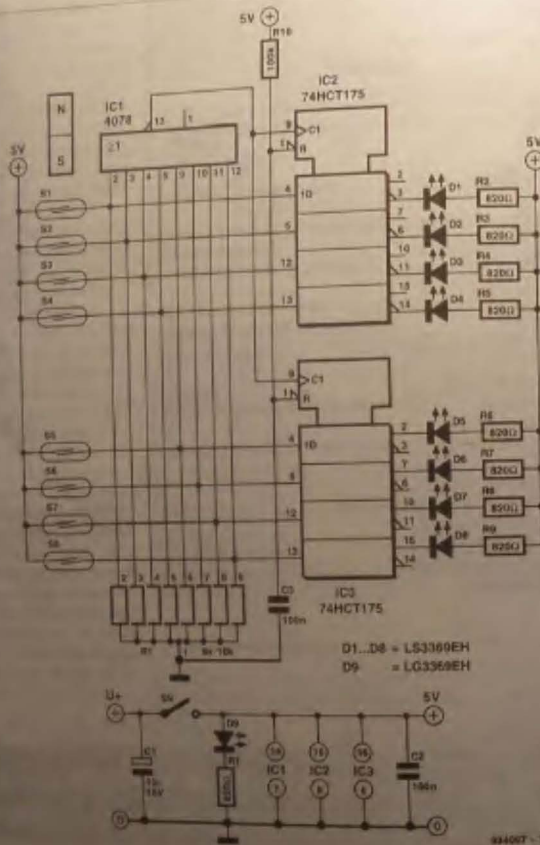
Wskaznik sygnalizuje, za pośrednictwem LED, osiem kierunków wiatru. Czujnikami są kontaktory uruchamiane stałym magnesem. Konstrukcja mechaniczna wskaznika powinna umożliwiać równoczesne włączenie więcej niż jednego kontaktora.

W momencie zwarcia styków kontaktoru do wejść zęgarowych przetrzmiłki D w IC2 lub IC3, przez bramkę OR w IC1, następuje doprowadzony skok napięcia. W wyniku tego zapala się tyko ta LED. Inne odpowiednio numerowane styki.

Jeżeli wiatr zmieni kierunek o niewielki kąt i kontaktownik zostanie rozwarzony to przekaźnik nie zmieni stanu i dioda będzie nadal świecić. Dopiero gdy wiatr zmieni kierunek na tyle, że zostanie włączony następny kontaktownik, to zaświeci się następna LED.

W momencie włączenia zasilania (IS) zaswawiają tylko D6, ponieważ R10 - C3 spowodują ważne składowanie prądu. Dopiero po spadku napięcia, wywołany zwarcie któregoś z kontaktów, spowoduje zaświecenie się odpowiedniej LED (D1-D5).

Wskaznik powinien być zasłany stabilizowanym napięciem 5V. Pobiera tylko 10mA. LED są napędzane przez diodę Siemena.



934057-11

Zwarty przetwornik A/C

lania 5V. Poziomy na wyjściu buforów powinny dokładnie (nosić 5V (stan logiczny 1) i stan logiczny 0). Dzielniki napięcia nie powinny być wykonane z rezystorów o małej tolerancji dla zapewnienia dobrej liniowości przetwarzania i nie wyzyskiwać dzielników lin. więcej niż 2 przetworników a/c. tym rezydują powinny być dokładne

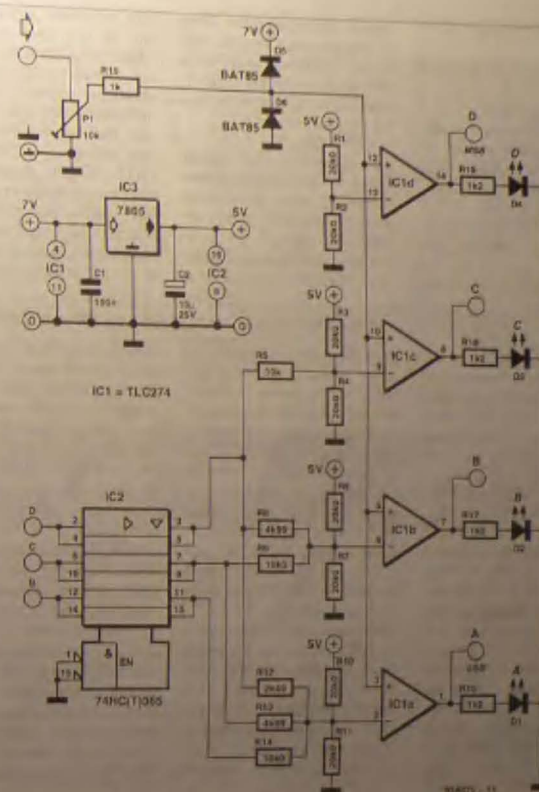
Elektor 4/94

skie obciążenie buforów w IC2 wpływa na ich poziomy wyjściowy, opóźnienie rezystorów powinny być zatem stosunkowo duże. Wpływ rezystorów został oprócz tego zmniejszony przez połączenie buforów po dwa równolegle. Przy zastawianych rezystorach spadek napięcia bufora najstarszego bitu (obciążonego największym prądem) wynosił w prototypie 6mV. W porównaniu z wartością najmłodszego bitu, wynoszącą 321.5mV, można to pominąć.

Szybkość przetwarzania zależy od czasu propagacji komparatorów i buforów. Chociaż parametry TLC274 są do przyjęcia, to dla osiągnięcia lepszych wyników lepiej byłoby użyć prawdziwych komparatorów.

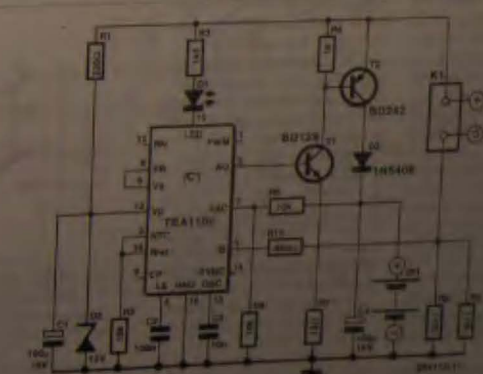
Całość wejściowej układów ustawia się za pomocą P1. Diody D5 i D6 zabezpieczają komparatory przed zbyt dużymi napięciami. Pobór prądu wynosi około 7mA przy zgaszonych wszystkich LED. Gdy wszystkie świecą, prąd ten rośnie do około 20mA.

T. Giesberts - 934075



Regulator ładowania akumulatorów

Do szybkiego i skutecznego ładowania akumulatorów NiCd o NIMS użyto układu TEA1100 Philipsa, w którym zastosowano zasadę pików delta. Zadaniem układu ładującego jest śledzenie zmian napięcia ładowanego akumulatora i przerwanie ładowania, kiedy stwierdzili się poziomy tego napięcia ok. 1%, poniżej przeciętnego maksimum. Obserwowane napięcie, podane na wyprowadzenie 7, musi (według danych katalogowych) pozostać w granicach 0,385V - 3,85V. Napięcie akumulatora zmienia się w zależności od pośredniczącego dzielnika napięcia R4, R5. Ciągłość pracy regulatora umożliwia z zasilaczem 14V/14A + R5) 1,8V = 3,85V, czyli



Elektor 4/94

$R4/(R4 + R5) < 2,34/n$
 gdzie $n = R4/(R4 + R5) \cdot 1,1V \times 0,385V$,
 czyli $R4/(R4 + R5) < 0,35/n$
 gdzie n oznacza ilość ogniw, minimalne napięcie ogniwa wynosi 1,1V, a maksymalne 1,8V.
 Prąd ładowania wynosi:
 $I_L = (1,25V/R_4) \cdot (R_4/R_5)$
 gdzie R_4 jest R10, R_5 jest równoległym połączeniem R8 i R9, a R_6 jest R2.
 Czas wyłączenia T_C jest dodat-

kowym zabezpieczeniem. Jeżeli z jakiegokolwiek powodu maksimum napięcia nie zostanie wykryte, to po upływie czasu T_C układ wstrzyma ładowanie. Czas ten wynosi:
 $T_C = 2M \cdot 0,93R_6 \cdot C_{zad}$
 gdzie C_{zad} jest C3. Warto zwrócić uwagę, że od R2 zależy zarówno I_L jak i T_C , zatem po ustaleniu prądu I_L wartość T_C należy dobrać zmieniając C3.
 Gdy akumulator jest już naładowany, TEA1100 przełącza się na

tryb "ładowania podtrzymującego". W tym trybie przez 1/10 czasu płynie 1/2 prądu ładowania (czyli akumulator jest "podłączany" prądem o natężeniu 1/20 normalnego prądu ładowania). Prąd ten można modyfikować, posługując się zależnością:
 $I_L = (1,25V/R_4) \cdot (R_4/R_5)$
 Prąd ten jest ustalany na podstawie spadku napięcia na R_6 i przełączany przez tranzystory za pośrednictwem końcówki 2 w IC1. Kondensator C2 zapewnia

stabilność układu.
 Gdy akumulator jest przyłączony do K1, lub gdy jest podłączany, LED D1 migocze. Gdy napięcie na końcówce 7 obniży się, LED świeci w sposób ciągły. Napięcie zasilające na wyprowadzeniu 12 musi zawierać się w granicach 5,65V do 11,5V. Pobór prądu (przy odłączonych wyjściach) wynosi około 4mA.
 A. Rietjens - 934112

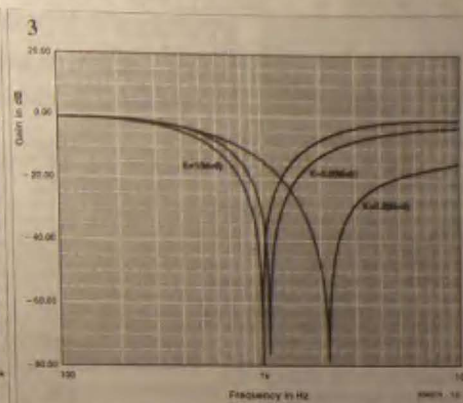
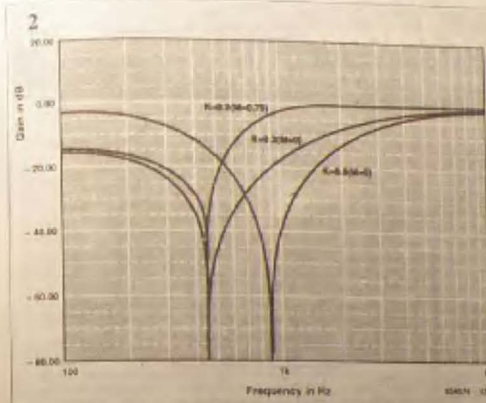
ZASADA PIKU DELTA ŁADOWANIA AKUMULATORÓW NiCd

Szybkie ładowanie dużym prądem wysokopotencjałowych akumulatorów NiCd nie tylko oszczędza czas, ale także przedłuża ich użytkową trwałość. Jeżeli ponadto ładowana są również zwoady piku delta, akumulatory są zawsze naładowane w pełni i na czas. Akumulatory NiCd, z których korzysta się dużo przy kurzych nie jest ładować również dużymi prądami. W trakcie ładowania dużym prądem w elektrolizie powstają wolne jony metali. Powoduje to wzrost ciśnienia wewnątrz akumulatora, który musi odpowiednio do dostosowania tak dużych prądów. Jeżeli akumulator jest ładowany dużym prądem, jony te zostają wyeliminowane i opo-

ność wewnętrzna akumulatora wraca do swojej normalnej wartości. Trzeba jednak pamiętać, że nie wszystkie akumulatory NiCd można ładować dużym prądem, do więcej, nawet gdy akumulator może być ładowany dużym prądem, nie należy tego nigdy robić, gdy nie jest całkowicie rozładowany. Akumulatory zachowują najlepszą trwałość użytkową, gdy po każdym pięciu szybkich ładowaniach są ładowane standardowo. Standardowe ładowanie akumulatorów NiCd oznacza ładowanie przez 14 godzin prądem o natężeniu równym liczbowo 1/10 swojej pojemności w Ah, co oznacza niewielkie przeładowanie. Ładowanie szybko wymaga specjalnych środków. Napięcie

ogniwa początkowo szybko rośnie w trakcie ładowania, a potem, gdy pewien poziom został osiągnięty, już tylko powoli. Gdy akumulator jest prawie całkowicie naładowany, napięcie ogniwa znów zaczyna szybko wzrastać, aż do punktu ładowania, po czym obniża się. Można to wytłumaczyć w następujący sposób. Prąd ładowania nie tylko ładuje akumulator, ale także rozkłada elektrolit, wskutek czego wydzielają się z niego gazy (głównie tlen), które nie mogą łączyć się z materiałem elektrody. Ciśnienie wewnątrz (szczelnego) ogniwa z wolno rośnie. Gdy akumulator jest już niemal naładowany, przepływ prądu głównie wytwarza gaz, niewiele przyczyniając się do zwiększenia ładun-

ku. Powoduje to szybki wzrost ciśnienia i napięcia ogniwa. Pod wpływem tego ciśnienia część tlenu łączy się z materiałem ujemnej elektrody, wytwarzając ciepło. Ogniwa NiCd mają ujemny współczynnik temperatury napięcia, o wartości około -4mV/°C, więc zaraz po osiągnięciu pełnego ładunku, napięcie zaczyna spadać. Widać na ilustracji, że ogniwo osiąga napięcie szczytowe, gdy już jest w pełni naładowane. Nazwa piku delta bierze się stąd, że zasada jest oparta na monitorowaniu małych zmian napięcia, oznaczanych zwykle grecką literą delta. Po zaobserwowaniu tendencji spadkowej napięcia, ładowanie zostaje przerwane.



081

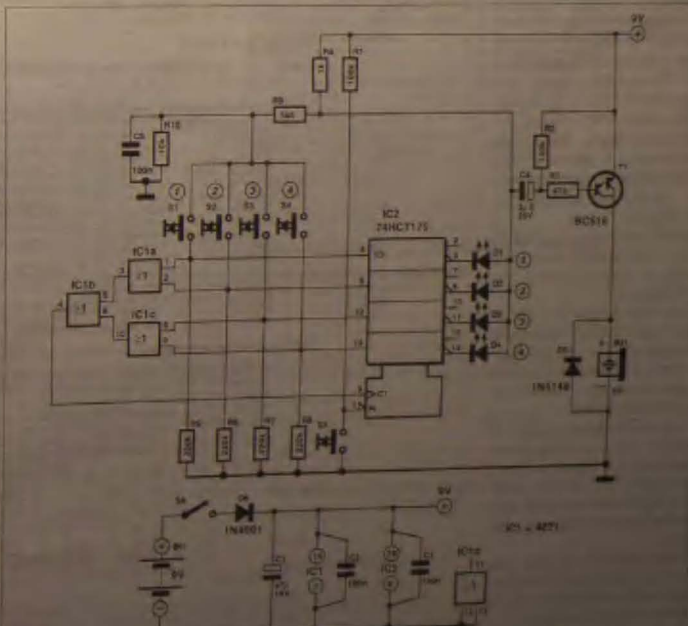
Detektor pierwszeństwa

Detektor został opracowany przede wszystkim do użytku w grach typu quiz. Za pośrednictwem przycisku i świecenia diod LED sygnalizuje, kto pierwszy naciśnie przycisk.

Cztery przyciski S1...S4 są połączone z wejściami D czterech przerzutników, mieszczących się w IC2. Równocześnie za pośrednictwem bramek OR IC1a, IC1b i IC1c są one połączone z wejściem zegarowym IC2. Wyjścia Q przerzutników sterują diodami D1-D4.

Po wyzerowaniu przerzutników przyciskiem S5 (który na chwilę doprowadza stan niski do wejścia CLR), wszystkie wyjścia Q są w stanie wysokim, więc LEDy nie świecą. Gdy zostanie naciśnięty jeden z przycisków (na przykład S1), stan wysoki zostanie przekazany do związanego z nim wejścia D oraz do wejść zegarowych wszystkich przerzutników. Aktualne stany wejść D wszystkich przerzutników zostają zapamiętane i przekazane do wyjść - zaświeci się D1.

Przycisk S5 i LEDy są zamknięte przez wspólny rezystor R4, więc po zaświeceniu się diody D1 wspólne napięcie zasilania obniży się do około 2V, a napięcie na przyciskach obniży się dodatkowo, przez diodki R8-R10, do około 1V. Jeżeli wtedy zostanie naciśnięty inny przycisk, napięcie na odpowiadającym mu wejściu D oraz na wejściu zegar-



wymi będą za niego dla wywołania reakcji IC2. W ten sposób układ zostanie usterwowiony po naciśnięciu pierwszego przycisku. Przycisk jest sterowany przez tranzystor Darlingona T1. Jego baza łączy się z anodą diod

LED przez R3 i C4. W momencie zaświecenia się jednej z LED ujemny błąk napięcia zostaje przekazany przez C4 do T1, który włącza przycisk. Po okolicie 0,5s C4 zostaje przeładowany przez R3 i R3, T1 zostaje więc ponownie załadowany.

Układ można także zbudować, gdy diody są wyłączone. Gdy druga dioda sygnalizuje, a pierwsza LED świeci, oznacza to, że pierwsza osoba naciśnie przycisk.

G. Borkowski - 934112

080

Specjalny filtr środkowo-zaporowy

Filtrów podanych T. używa się w wielu układach, stosując się do ich budowy jako filtr środkowo-zaporowy. W prostym układzie (rys. 1) filtr podany T. został użyty w trybie ogólnym. Można on mieć charakter silnie selektywny (rys. 2) lub charakter silnie selektywny (rys. 3). Zbudowany jest on z trzech elementów: rezystora R1, kondensatora C1 i tranzystora T1. Wbudowany jest on w trybie ogólnym, a jego charakterystyka jest przedstawiona na rys. 2 i 3. Wbudowany jest on w trybie ogólnym, a jego charakterystyka jest przedstawiona na rys. 2 i 3.

Przy $M = 0,75$, maksymalne (połączone) tłumienie wynosi 50dB. Przy wartościach jak na rys. 1 tłumienie w występie przy 1kHz (zima czystości) można łatwo obliczyć. Częstotliwość zaporowa, to, gdy S1 jest w pozycji 1, wynosi $f_z = 1/(2\pi R_1 C_1)$ [Hz] a gdy w pozycji 2 $f_z = 1/(2\pi R_2 C_1)$ [Hz]. Wbudowany jest on w trybie ogólnym, a jego charakterystyka jest przedstawiona na rys. 2 i 3.

A. J. J. Verbeke - 934112

